6/5.3
Geheugens

Inhoud

6/5.3

Geheugen IC's

Geheugen IC's zijn te verdelen in twee hoofdgroepen:

1. Geheugens die bij normaal gebruik alleen gelezen kunnen worden en niet vluchtig zijn.
2. Geheugens die zowel gelezen als geschreven kunnen worden.
   Deze groep wordt vaak onderverdeeld in statische en dynamische geheugens.

Geheugens die alleen kunnen worden gelezen (1).

ROM = READ ONLY MEMORY
Deze geheugens worden door de fabrikant tijdens het fabricageproces geprogrammeerd op klantenspecificatie. In de hobbywereld komen we deze geheugens hoogst zelden tegen.

PROM = PROGRAMMABLE READ ONLY MEMORY
Deze geheugens kunnen met speciale programmeerapparatuur door de gebruiker zelf worden geprogrammeerd. Eenmaal geprogrammeerd kan deze programmering niet meer ongedaan worden gemaakt. In de hobby-wereld komen we deze geheugens tegen als karaktergenerator, en in schakelingen waar bepaalde combinaties van ingangssignalen bepaalde uitgangspatronen moeten leveren. Denk aan decodering of matrixes.

EPROM = ERASABLE PROGRAMMABLE READ ONLY MEMORY
Evenals de PROM's zijn deze geheugens door de gebruiker zelf te programmeren met een speciaal programmeerapparaat. EPROM's kunnen echter (een beperkt aantal malen) worden gewist en opnieuw geprogrammeerd. Het wissen geschiedt door de chip bloot te stellen aan ultraviolet licht. Daartoe zijn EPROM's uitgerust met een venstertje, dat na de programmering doorgaans wordt afgedekt met een plakkertje of iets dergelijks om ongewenste blootstelling aan UV-licht te voorkomen. Het speciale programmeerapparaat is niet zo verschrikkelijk ingewikkeld. Meestal is het nodig op een bepaalde pen een programmeerspanning (ca 25 V) aan te bieden. De timing van de aan te bieden adressen en data luistert vrij precies en is voor eenzelfde type EPROM niet bij alle fabrikanten gelijk. Voor tal van hobby-computers is een EPROM-programmer als uitbreidingskaart beschikbaar.
EPROM's worden in grote getale door hobbyïsten gebruikt en niet uitsluitend in hobby-computers. De in- en uitgangen zijn TTL-compatibel.

EEPROM = ELECTRICALLY ERASABLE PROGRAMMABLE READ ONLY MEMORY
Hiervoor geldt nagenoeg hetzelfde als voor de EPROM. Het grote voordeel is, dat het wissen gebeurt door een elek-

trisch signaal, waardoor het geheugen eventueel in de schakeling kan blijven. Een ander voordeel is, dat het mogelijk is alleen data op een bepaald adres te wissen en opnieuw te programmeren. Op dit moment is de prijs en de verkrijgbaarheid echter nog in het voordeel van de EPROM.

Geheugens die gelezen en geschreven kunnen worden (2).

Deze geheugens worden kortweg RAM's (Random Access Memory) genoemd. Er is een onderverdeling in statische en dynamische geheugens, die voor de gebruiker van een computer waarin deze geheugens voorkomen echter niet van belang zijn.

STATISCHE RAM's

Elke geheugencel is in principe een flipflop, die geset en gereset kan worden en waarvan de status van de uitgang gelezen kan worden. Statische RAM's worden in verschillende technologieën vervaardigd, waarbij de bipolaire de snelle geheugens zijn en de MOS-versies trager, echter met een veel geringere stroomopname. De meeste statische RAM's zijn 1,4 of 8 bits breed. De gewenste bit-breedte van een geheugen wordt verkregen door RAM's parallel te gebruiken. Elke geheugencel (of groep parallelle cellen) is bereikbaar via adresinformatie op de adresingangen. Daarnaast komen de volgende aansluitingen voor: VCC = + 5 V; CS = chip select; CE = chip enable; WE = write enable; OE = output enable; VDD = massa = OV; Din = Data ingang; Dout = Data uitgang; deze laatste twee worden ook wel I/O genoemd, in die gevallen waar de in- en uitgang over dezelfde pennen wordt geleid. Ao...An zijn de adresingangen. De uitgangen zijn meestal van het open collector type (zodat in busstructuren wired-AND kan worden gebruikt) of van het 3-state type.

DYNAMISCHE RAM's

Elke geheugencel is in wezen een condensator met een (MOSFET) schakelaar. Ten opzichte van de statische RAM's, waarbij voor elke cel 4-6 transistoren nodig zijn is de geheugencapaciteit per oppervlakte-eenheid veel hoger, met als gevolg dat dynamische RAM's goedkoper zijn en dikwijls een grotere geheugencapaciteit hebben. Het nadeel is dat de op de capaciteit opgeslagen energie (die de data voorstelt) weglekt. Daarom is het noodzakelijk deze lading met tussenpauzen van enkele milliseconden weer op peil te brengen. Dit proces wordt zeer onnederlands „refreshen" genoemd. In de meeste RAM's is interne logica aanwezig voor deze refresh, waardoor het van buitenaf alleen noodzakelijk is, dat binnen de refresh-tijd elk adres eenmaal wordt geselecteerd. Op dynamische RAM-kaarten wordt dit meestal met relatief eenvoudige logica opgelost. Deze logica adresseert het geheugen gedurende die perioden van de processor klok, dat de processor het geheugen met zekerheid niet gebruikt. Er zijn ook speciale IC's in de handel die de controle van dit hele refresh gebeuren verzorgen. Omdat op één dynamische RAM-chip dikwijls vrij grote geheugens zijn gerealiseerd worden de adreslijnen dikwijls gemultiplexed, om zo toch gebruik te kunnen maken van 16 pens DIL behuizingen. Natuurlijk vinden we gate signalen voor de demultiplexing van de adressen en wel in de vorm van een CAS-ingang (Column address select) en een RAS-ingang (Row address select). Sommige dynamische

5.3 Geheugen-IC's

RAM's hebben wel 3 voedingsspanningen nodig. De meest voorkomende signalen zijn naast CAS en RAS: WE = write enable; VCC = + 5 V; VDD = + 12 V; VBB = −5 V; Ao...An = adresingangen; Din = data ingang; Dout = data-uitgang of in plaats van deze beide laatsten I/O voor gecombineerde ingang/uitgang.
Veel RAM's komen zowel in 3-state als met open collector uitgang voor. Bij de open collector typen is de uitgang hoog als de chip niet is geselecteerd. Een parallel aangesloten chip op een bus, waarvan de uitgang laag gaat, zal alle andere uitgangen (en daarmee de buslijn) ook laag trekken. Eén gemeenschappelijke pull-up weerstand wordt aangesloten op de bus. Voor berekening van de waarde van deze pull-up weerstand kunt u de inleiding van het hoofdstuk met TTL-datatabellen raadplegen.

6/5.3.1 PROM's

De meest gangbare PROM's worden geleverd met een 4 of 8 bits brede data bus. Het aantal beschikbare geheugenplaatsen is een andere belangrijke parameter. Daarnaast is het soort uitgang van belang. Dit is hetzij een open collector uitgang, hetzij een tri-state uitgang. Een tri-state uitgang is alleen actief als er een stuursignaal op de CS-pen (chip select) staat. Een open collector uitgang is alleen actief, zolang het stuursignaal op de CS pen aanwezig is. Is deze sturing afwezig, dan is de uitgang hoog. Een andere uitgang op de bus, die laag gaat, kan echter de hele (data-)bus lijn laag trekken. De databuslijn heeft een gemeenschappelijke pull-up weerstand. In de nu volgende tabellen is de organisatie van het geheugen aangegeven (aantal geheugen plaatsen x aantal bits) en het type uitgang.

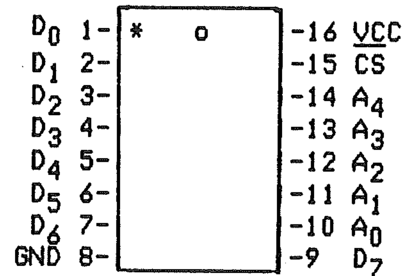
Voorkomende pen benamingen en hun betekenis

GND	(Ground) = aarde
VCC	+5 Volt
$A_0 ... A_n$	Adres-ingangen
$D_0 ... D_7$	Data-uitgangen
CS	Chip Select
NC	Not connected (niet gebruikt)

5.3 Geheugen-IC's

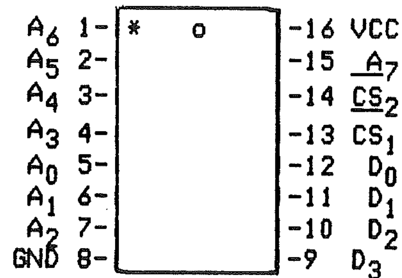
Organisatie: 32 x 8

Type	Uitgang
74S188	open collector
74S288	tri-state
82S23	open collector
82S123	tri-state



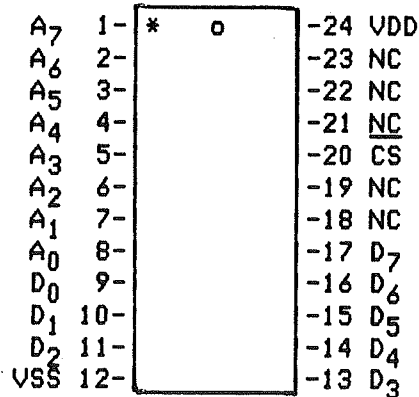
Organisatie: 256 x 4

Type	Uitgang
74S287	tri-state
74S387	open collector
82S27	open collector
82S126	open collector
82S129	tri-state



Organisatie: 256 x 8

Type	Uitgang
4735 (CMOS)	tri-state



5.3 Geheugen-IC's

Organisatie: 1024 x 8

Type	**Uitgang**
25088	open collector
25089	tri-state
82S180	open collector
82S181	tri-state

Signaal	Pen	Pen	Signaal
A_7	1	24	VCC
A_6	2	23	A_8
A_5	3	22	A_9
A_4	4	21	$\overline{CS_1}$
A_3	5	20	CS_2
A_2	6	19	CS_3
A_1	7	18	CS_4
A_0	8	17	D_7
D_0	9	16	D_6
D_1	10	15	D_5
D_2	11	14	D_4
GND	12	13	D_3

Organisatie: 2048 x 4

Type	**Uitgang**
25084	open collector
25085	tri-state
82S184	open collector
82S185	tri-state

Signaal	Pen	Pen	Signaal
A_6	1	18	VCC
A_5	2	17	A_7
A_4	3	16	A_8
A_3	4	15	A_9
A_0	5	14	D_0
A_1	6	13	D_1
A_2	7	12	D_2
A_{10}	8	11	D_3
GND	9	10	$\overline{CS}$

6/5.3.2 EPROM's

De in- en uitgangen van EPROM's zijn TTL compatibel. Daarnaast zijn de meest gangbare EPROM's ook nog pen compatibel met standaard ROM's en CMOS-RAM's.
Voorkomende pen benamingen en hun betekenis:

GND	Ground) = aarde
VCC	+5 Volt
VBB	−5 Volt
VDD	+12 Volt
VPP	Programmeerspanning, 25V; 5 Volt bij normaal gebruik
$A_0...A_n$	Adres-ingangen
$D_0...D_7$	Data-uitgangen cq. ingangen
CS	Chip Select
OE	Output Enable
PE	Program Enable
NC	Not connected (niet gebruikt)

Let op! Voor veel signalen wordt negatieve logica gebruikt; dus een laag niveau is actief. (Dit is aangeduid met de streep boven de signaal naam).

5.3 Geheugen-IC's

Organisatie: 1024 x 8

2708

A_7	1	24	VCC
A_6	2	23	A_8
A_5	3	22	A_9
A_4	4	21	VBB
A_3	5	20	$\overline{CS}$ (PE)
A_2	6	19	VDD
A_1	7	18	VPP
A_0	8	17	D_7
D_0	9	16	D_6
D_1	10	15	D_5
D_2	11	14	D_4
GND	12	13	D_3

Organisatie: 2048 x 8

2516

2716 behalve Texas Instruments

A_7	1	24	VCC
A_6	2	23	A_8
A_5	3	22	A_9
A_4	4	21	VPP
A_3	5	20	$\overline{OE}$
A_2	6	19	A_{10}
A_1	7	18	$\overline{CS}$
A_0	8	17	D_7
D_0	9	16	D_6
D_1	10	15	D_5
D_2	11	14	D_4
GND	12	13	D_3

2716 Texas Instruments

A_7	1	24	VCC (PE)
A_6	2	23	A_8
A_5	3	22	A_9
A_4	4	21	VBB
A_3	5	20	A_{10}
A_2	6	19	VDD
A_1	7	18	$\overline{CS}$ (VPP)
A_0	8	17	D_7
D_0	9	16	D_6
D_1	10	15	D_5
D_2	11	14	D_4
GND	12	13	D_3

5.3 Geheugen-IC's

Organisatie: 4096 x 8

2532

Signaal	Pin	Pin	Signaal
A_7	1	24	VCC
A_6	2	23	A_8
A_5	3	22	A_9
A_4	4	21	VPP
A_3	5	20	CS
A_2	6	19	A_{10}
A_1	7	18	A_{11}
A_0	8	17	D_7
D_0	9	16	D_6
D_1	10	15	D_5
D_2	11	14	D_4
GND	12	13	D_3

2732

Signaal	Pin	Pin	Signaal
A_7	1	24	VCC
A_6	2	23	A_8
A_5	3	22	A_9
A_4	4	21	A_{11}
A_3	5	20	$\overline{OE}$/VPP
A_2	6	19	A_{10}
A_1	7	18	$\overline{CS}$
A_0	8	17	D_7
D_0	9	16	D_6
D_1	10	15	D_5
D_2	11	14	D_4
GND	12	13	D_3

Organisatie: 8192 x 8

2764

Signaal	Pin	Pin	Signaal
VPP	1	28	VCC
A_{12}	2	27	$\overline{PE}$
A_7	3	26	NC
A_6	4	25	A_8
A_5	5	24	A_9
A_4	6	23	A_{11}
A_3	7	22	$\overline{OE}$
A_2	8	21	A_{10}
A_1	9	20	$\overline{CS}$
A_0	10	19	D_7
D_0	11	18	D_6
D_1	12	17	D_5
D_2	13	16	D_4
GND	14	15	D_3

5.3 Geheugen-IC's

Organisatie: 16384 x 8

27128

VPP	1	28	VCC
A_{12}	2	27	PE
A_7	3	26	A_{13}
A_6	4	25	A_8
A_5	5	24	A_9
A_4	6	23	A_{11}
A_3	7	22	OE
A_2	8	21	A_{10}
A_1	9	20	CS
A_0	10	19	D_7
D_0	11	18	D_6
D_1	12	17	D_5
D_2	13	16	D_4
GND	14	15	D_3

Organisatie: 32768 x 8

27256

VPP	1	28	VCC
A_{12}	2	27	A_{14}
A_7	3	26	A_{13}
A_6	4	25	A_8
A_5	5	24	A_9
A_4	6	23	A_{11}
A_3	7	22	OE
A_2	8	21	A_{10}
A_1	9	20	CS
A_0	10	19	D_7
D_0	11	18	D_6
D_1	12	17	D_5
D_2	13	16	D_4
GND	14	15	D_3

6/5.3.3 Statische RAM's

Statische RAM's worden geleverd in een veelheid van configuraties. Een databus kan door parallel gebruik van meerdere IC's de gewenste breedte worden gegeven. Om bijv. een geheugen van 16 kilobytes te verkrijgen (dus 1 byte = 8 bits breed), kan men gebruik maken van 8 IC's met een interne organisatie van 16384 x 1 naast elkaar, of bijv. 8 IC's met een interne organisatie van 2048 x 8 achter elkaar.

Voorkomende pen benamingen en hun betekenis:

GND	(Ground) = aarde
VCC	+5 Volt
$A_0 \ldots A_n$	Adres-ingangen
$DI_0 \ldots DI_7$	Data-ingangen
$DO_0 \ldots DO_7$	Data-uitgangen
$I/O_0 \ldots I/O_7$	Data-ingangen en uitgangen (gecombineerd)
CS	Chip Select
OE	Output Enable
WE	Write Enable

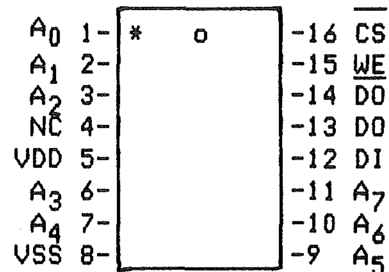
5.3 Geheugen-IC's

NC Not connected (niet gebruikt)

Let op! Voor veel signalen wordt negatieve logica gebruikt; dus een laag niveau is actief. (Dit is aangeduid met de streep boven de signaal naam).

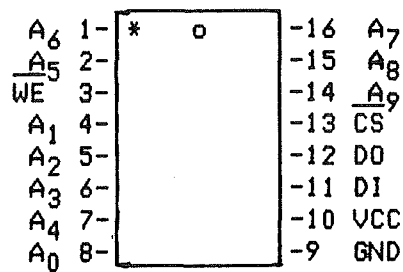
Organisatie: 256 x 1

4720 CMOS

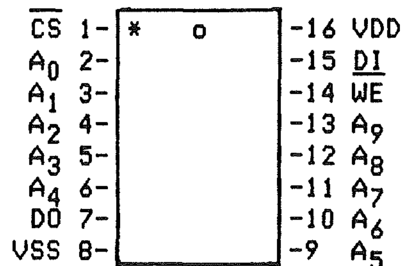


Organisatie: 1024 x 1

2102 NMOS

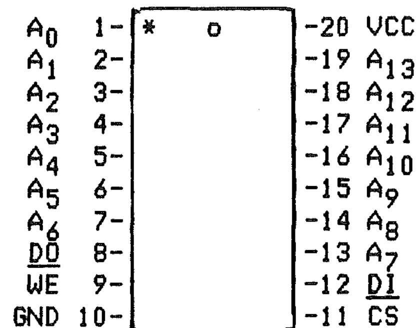


4736 CMOS



Organisatie: 16384 x 1

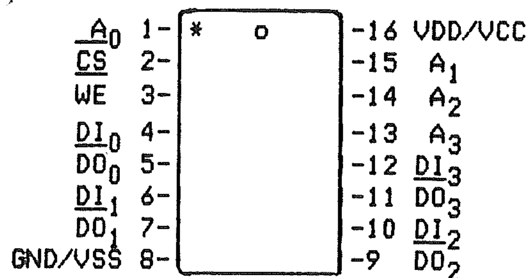
6167 CMOS



5.3 Geheugen-IC's

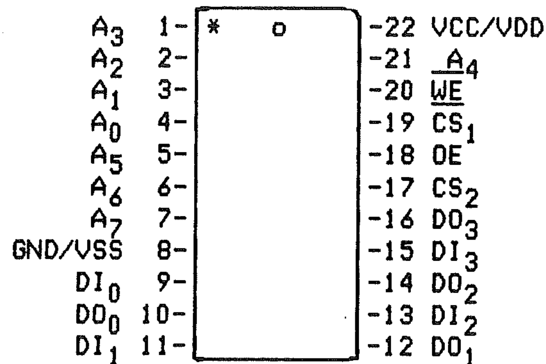
Organisatie: 16 x 4

7489	TTL open collector uitg.
74LS89	TTL open collector uitg.
74S189	TTL tri-state uitg.
74LS189	TTL tri-state uitg.
74S289	TTL open collector uitg.
74LS289	TTL open collector uitg.
4725	CMOS tri-state uitg.

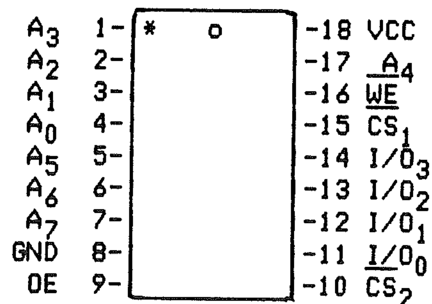


Organisatie: 256 x 4

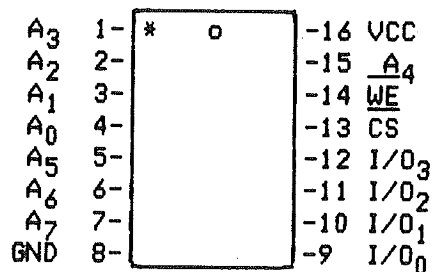
2101	NMOS
4721	CMOS
5101	CMOS



2111 NMOS



2112 NMOS



5.3 Geheugen-IC's

Organisatie: 1024 x 4

2114 NMOS
2114 A HMOS

Signaal	Pin	Pin	Signaal
A_6	1	18	VCC
A_5	2	17	A_7
A_4	3	16	A_8
A_3	4	15	A_9
A_0	5	14	I/O_0
A_1	6	13	I/O_1
A_2	7	12	I/O_2
$\overline{CS}$	8	11	I/O_3
GND	9	10	$\overline{WE}$

Organisatie: 2048 x 8

5116 CMOS
5117 CMOS
6116 CMOS
6117 CMOS

Signaal	Pin	Pin	Signaal
A_7	1	24	VCC
A_6	2	23	A_8
A_5	3	22	A_9
A_4	4	21	$\overline{WE}$
A_3	5	20	$\overline{OE}$
A_2	6	19	A_{10}
A_1	7	18	$\overline{CS}$
A_0	8	17	I/O_7
I/O_0	9	16	I/O_6
I/O_1	10	15	I/O_5
I/O_2	11	14	I/O_4
GND	12	13	I/O_3

Organisatie: 8192 x 8

5188 CMOS
5564 CMOS
5565 CMOS

Signaal	Pin	Pin	Signaal
NC	1	28	VCC
A_{12}	2	27	$\overline{WE}$
A_7	3	26	CS
A_6	4	25	A_8
A_5	5	24	A_9
A_4	6	23	A_{11}
A_3	7	22	$\overline{OE}$
A_2	8	21	A_{10}
A_1	9	20	$\overline{CS}$
A_0	10	19	I/O_7
I/O_0	11	18	I/O_6
I/O_1	12	17	I/O_5
I/O_2	13	16	I/O_4
GND	14	15	I/O_3

6/5.3.4 Dynamische RAM's

De meest gangbare en redelijk verkrijgbare dynamische RAM's zijn 1 bit breed.

Voorkomende pen benamingen en hun betekenis:

GND	(Ground) = aarde
VCC	+5 Volt
VBB	−5 Volt
VDD	+12 Volt
$A_0 ... A_n$	Adres-ingangen
DI	Data-ingang
DO	Data-uitgang
CS	Chip Select
WE	Write Enable
CAS	Column address strobe
RAS	Row address strobe
NC	Not connected (niet gebruikt)

Let op! Voor veel signalen wordt negatieve logica gebruikt; dus een laag niveau is actief. (Dit is aangeduid met de streep boven de signaal naam).

Organisatie: 4096 x 1 (4k)

2104
2660
4027
7027

VBB	1	16	GND
DI	2	15	CAS
WE	3	14	DO
RAS	4	13	CS
A_0	5	12	A_3
A_2	6	11	A_4
A_1	7	10	A_5
VDD	8	9	VCC

Organisatie: 8192 x 1 (8k)

2108
2109
4108

VBB	1	16	GND
DI	2	15	CAS
WE	3	14	DO
RAS	4	13	A_6
A_0	5	12	A_3
A_2	6	11	A_4
A_1	7	10	A_5
VDD	8	9	VCC

Organisatie: 16384 x 1 (16k)

2116
2117
2716
4116
4716
8116 Fujitsu
8216 Fujitsu

VBB	1	16	GND
DI	2	15	CAS
WE	3	14	DO
RAS	4	13	A_6
A_0	5	12	A_3
A_2	6	11	A_4
A_1	7	10	A_5
VDD	8	9	VCC

5.3 Geheugen-IC's

2118
4516 N.B. pen 1 = Refresh
4816
8117 N.B. pen 1 = Refresh
8118

NC	1	16	GND
DI	2	15	CAS
WE	3	14	DO
RAS	4	13	A_6
A_0	5	12	A_3
A_2	6	11	A_4
A_1	7	10	A_5
VCC	8	9	NC

Organisatie: 32768 x 1 (32k)

4132 Texas Instruments

VBB	1	16	GND
DI	2	15	CAS_1
WE	3	14	CAS_2
RAS_1	4	15	DO
RAS_2	5	14	A_6
A_0	6	13	A_3
A_2	7	12	A_4
A_1	8	11	A_5
VDD	9	10	VCC

3732

NC	1	16	GND
DI	2	15	CAS
WE	3	14	DO
RAS	4	13	A_6
A_0	5	12	A_3
A_2	6	11	A_4
A_1	7	10	A_5
VCC	8	9	A_7

Organisatie: 65536 x 1 (64k)

2164
3764
4164
4864
8264
8265 N.B. pen 1 = Refresh

NC	1	16	GND
DI	2	15	CAS
WE	3	14	DO
RAS	4	13	A_6
A_0	5	12	A_3
A_2	6	11	A_4
A_1	7	10	A_5
VCC	8	9	A_7

Organisatie: 262144 x 1 (256 k)

4256
37256

A_8	1	16	GND
DI	2	15	CAS
WE	3	14	DO
RAS	4	13	A_6
A_0	5	12	A_3
A_2	6	11	A_4
A_1	7	10	A_5
VCC	8	9	A_7

6/5.3.1 ROM geheugens

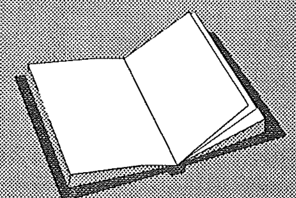
Achtergronden

Wat is een ROM?
Een ROM (Read Only Memory, dus alleen maar te lezen geheugen) is een vrij toegankelijk geheugen dat veelvuldig uitgelezen kan worden, maar waarin de informatie slechts éénmaal kan worden geschreven. In tegenstelling tot bij RAM's blijft de inhoud van ROM's ook bij het wegnemen van de voedingsspanning behouden. Het is dus een niet-vluchtig geheugen. De informatie wordt door de fabrikant tijdens het fabricageproces met behulp van een masker aangebracht en kan daarna niet meer worden veranderd of gewist. ROM's hebben daarom ook geen signaal-ingangen om te schrijven.

Het programmeren van een ROM
In de meeste gevallen gebeurt het programmeren van een ROM volgens het schema van figuur 6/5.3.1-1. De adreslijnen worden door middel van een adresdecoder omgezet in even veel uitgangen als er adressen zijn. In het voorbeeld, waar de ROM over elf adreslijnen beschikt, levert de adres-decoder dus 2^{11} of 2.048 uitgangslijnen af. De lijnen vormen de horizontale lijnen van een tweedimensionele matrix. De datalijnen, in het voorbeeld acht, vormen de vertikale lijnen van de matrix. Door nu op de knooppunten van de horizontale en vertikale lijnen al dan niet dioden te etsen in de maskers waarmee het IC wordt gemaakt, ontstaat de programmering van de ROM. De datalijnen liggen via weerstanden aan de massa. Als de adres-decoder geen uitgang zou leveren, dan zouden alle D-uitgangen dus "L" zijn, zodat de ROM de code "L-L-L-L-L-L-L-L" op zijn uitgangen zet. Zet men een adres op de adres-ingangen, dan zal één van de horizontale lijnen "H" worden. Daar waar deze lijn via een diode verbonden is met een data-lijn zal het hoge signaal via de geleidende diode tot de datalijn doordringen, zodat dit data-bit "H" wordt.

Voor- en nadelen van ROM's
Doordat ROM's door de halfgeleiderfabrikant geprogrammeerd moeten worden, zijn kleine aantallen veel te duur. Bovendien kan de eenmaal aangebrachte inhoud niet meer worden veranderd. Het

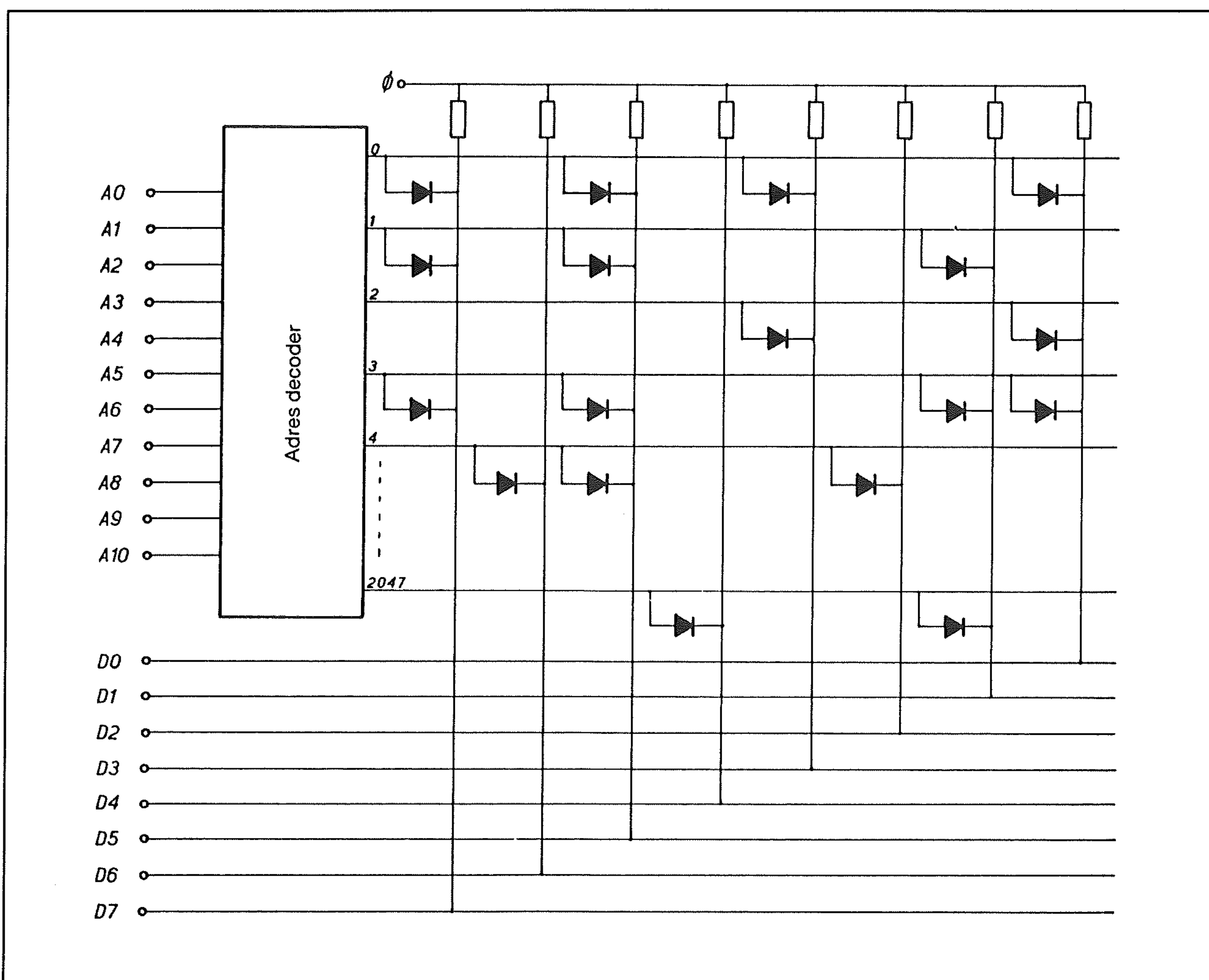
LEES OOK:
Hoofdstuk 3/6.13
Hoofdstuk 3/6.15
Hoofdstuk 3/6.17



5.3 Geheugens

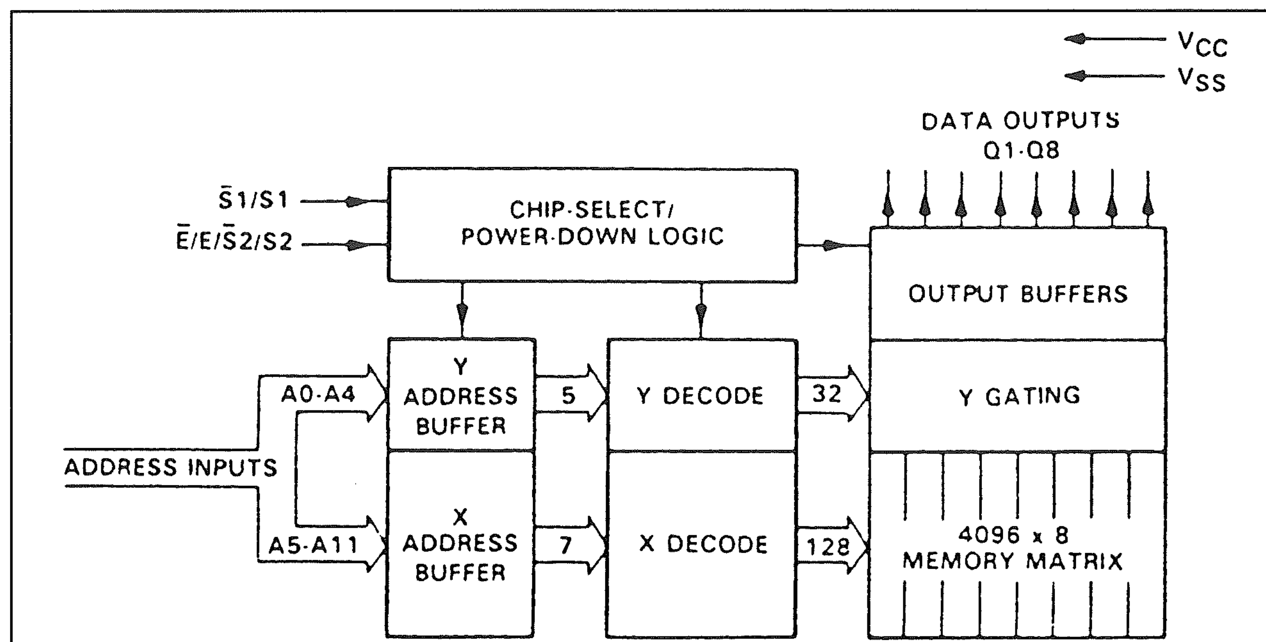
ligt dus voor de hand dat ROM's uitsluitend door grote bedrijven worden toegepast om hun apparatuur bepaalde vastgelegde handelingen te laten uitvoeren, bijvoorbeeld zogenoemde "firmware".
Behalve als geheugen voor programmadoelen kan een ROM ook worden gebruikt als karakter-generator, keyboard-encoder en voor het uitvoeren van logische functies. In de meeste printers is een karakter-generator in ROM aanwezig, die de binnenkomende gegevens van de computer omzet in coderingssignalen, waarmee de naaldjes (of de inkjet's) van de printkop worden aangestuurd.

Blokschema van een ROM geheugen
Figuur 6/5.3.1-2 geeft het blokschema van een 4 k x 8 bit ROM, om precies te zijn van het Texas Instruments type TMS 4732. Men stelt vast dat, naast de adres-ingangen en enkele chip-selectlijnen, er alleen data-uitgangen aanwezig zijn. Figuur 6/5.3.1-3 geeft het logisch symbool van een dergelijke ROM volgens de IEC-tekenwijze, logisch symbool dat tegenwoordig meestal in de schema's wordt aangetroffen.



Figuur 6/5.3.1-1: Het eenmalig programmeren van een ROM door middel van een diode-matrix.

5.3 Geheugens

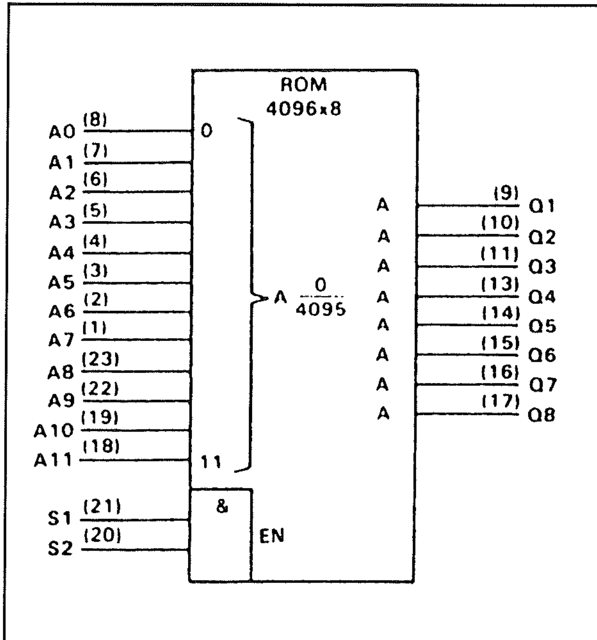


Figuur 6/5.3.1-2: Het blokschema van een standaard ROM

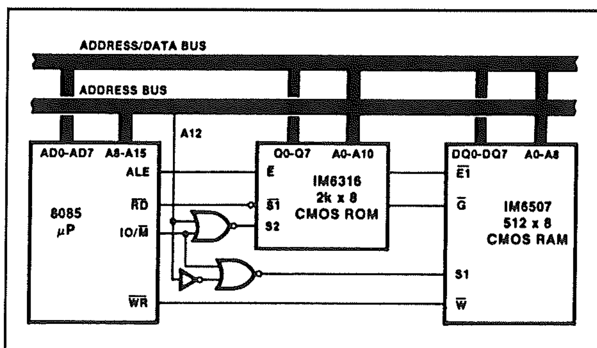
Aansluitcodering
Naast de adres-ingangen, die steeds met de codering "A" worden aangeduid en de data-uitgangen, die soms met "D" en soms met "Q" worden geïdentificeerd, hebben de meeste ROM geheugens nog enige andere aansluitingen.

- Chip enable
  Met deze ingang "E" of "CE" kan men de adres-code die door een processor via de adres-bus wordt aangeboden, overnemen in het interne adres-register van de ROM.
  Deze ingang is meestal actief op een positieve of negatieve flank van het signaal.
  Na het aanleggen van dit signaal zal de ROM de bij het adres horende code op zijn uitgangen zetten .
- Chip select
  Met deze ingang, die soms twee- of zelfs drievoudig is uitgevoerd en meestal wordt gecodeerd met "S", kan men de gehele chip "uitschakelen".
  De uitgangen gaan naar tri-state en er kunnen geen adresgegevens worden ingelezen. Dit is interessant, omdat het op deze manier mogelijk is een of meerdere ROM's op te nemen in een uitgebreid geheugen-systeem waar ook een of meerdere RAM's aanwezig zijn.
  De processor kan via een eenvoudige chipdecodering signalen aan de "S"-ingangen van de diverse chip's leveren, waardoor steeds maar één geheugen-IC geactiveerd wordt en aangesloten op de data-bus. In figuur 6/5.3.1-4 is een voorbeeldje getekend van deze techniek. Via de adres-lijn A12 en het processor-signaal IO/$\overline{M}$ en enige poorten kan ofwel de ROM, ofwel de RAM geactiveerd worden.
- Output enable
  Deze ingang is soms aanwezig en wordt gecodeerd met "G". Met deze ingang kan men alleen de uitgangen van de chip naar tri-state schakelen, maar de adressering blijft werken.

5.3 Geheugens



Figuur 6/5.3.1-3: Het logische symbool van dezelfde ROM, getekend volgens de tegenwoordig algemeen gebruikelijke IEC-notering.



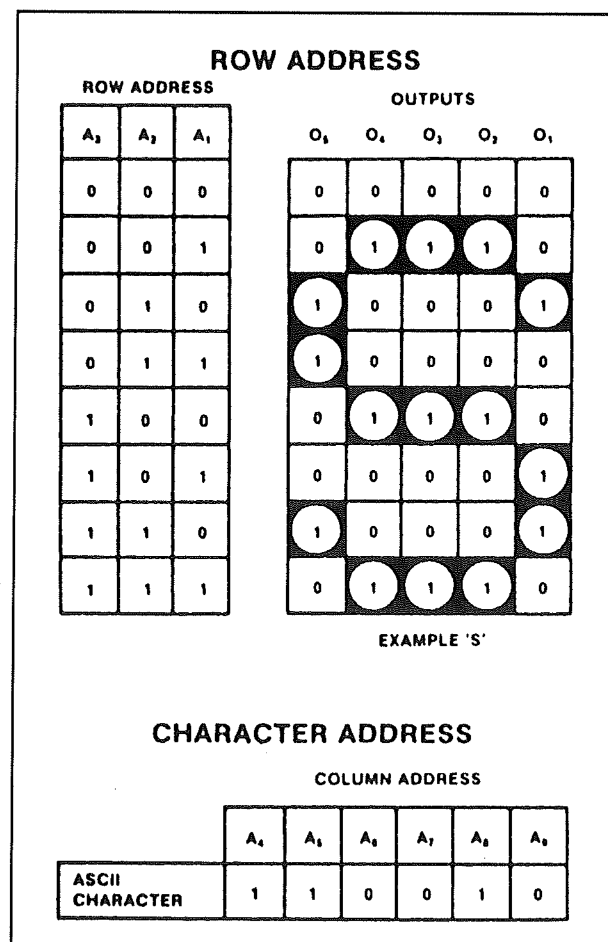
Figuur 6/5.3.1-4: Het toepassen van een ROM in een groter geheugensysteem, dank zij de "S"-ingangen.

Karakter generators

Inleiding

De meeste ROM's die de doe-het-zelver zal aantreffen, bijvoorbeeld in oude afgekeurde printers, zullen gebruikt worden als karakter, dus letter/cijfer/leesteken generator.

De karakters worden opgebouwd uit punten in een matrix van (vertikale) kolommen en (horizontale) rijen. In figuur 6/5.3.1-5 is bijvoorbeeld een 8 x 5 matrix getekend. Met behulp van 6 adreslijnen (A4 tot en met A9) wordt één van de 64 beschikbare karakters geselecteerd dat vervolgens met 3 adreslijnen (A1 tot en met A3) in vertikale richting kan worden afgetast om, bijvoorbeeld op een kathodestraalbuis, zichtbaar gemaakt te worden. De 3 adreslijnen A1 tot en met A3 bedienen dus 8 rijen van 5 uitgangen.

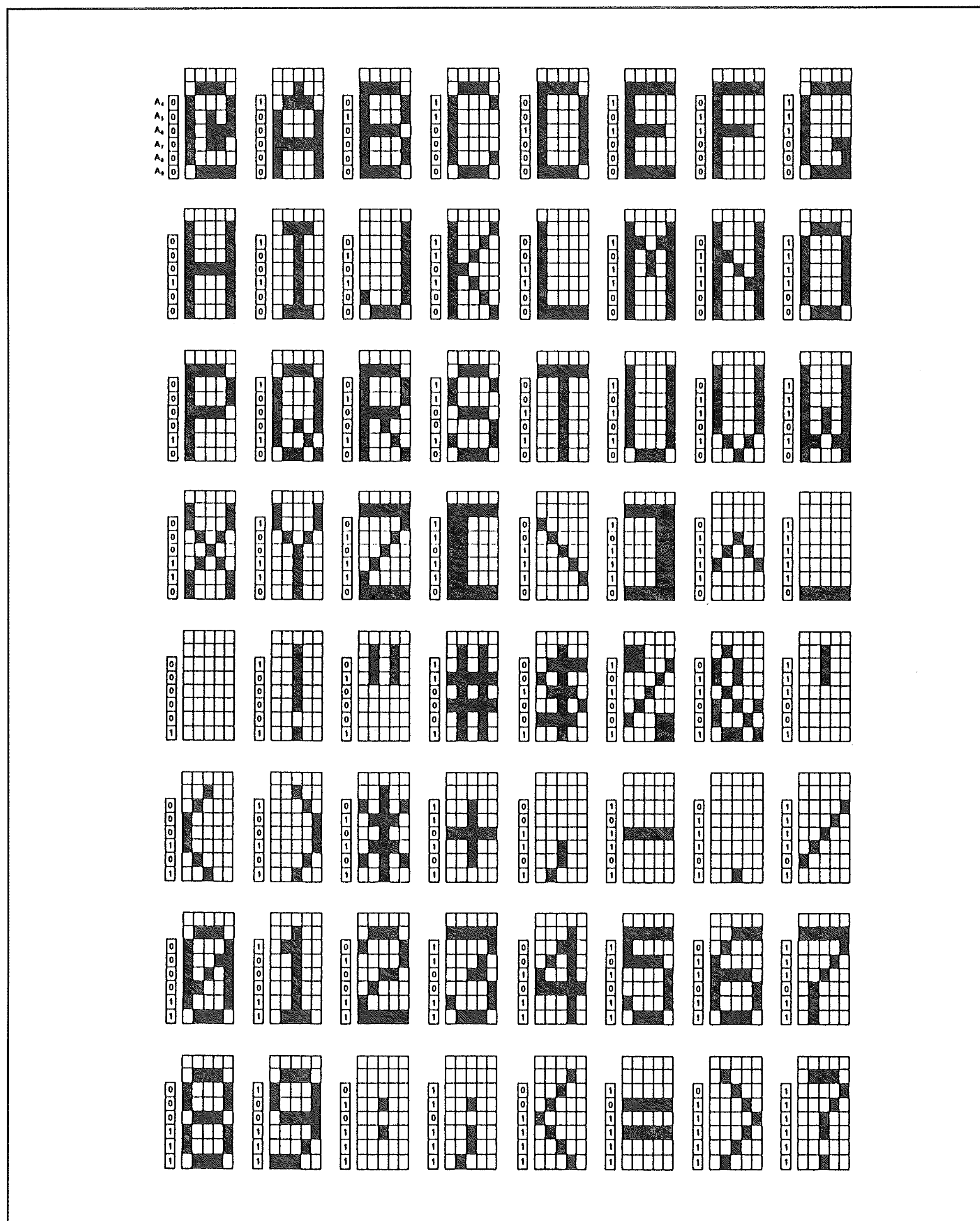


A_3	A_2	A_1	O_5	O_4	O_3	O_2	O_1
0	0	0	0	0	0	0	0
0	0	1	0	1	1	1	0
0	1	0	1	0	0	0	1
0	1	1	1	0	0	0	0
1	0	0	0	1	1	1	0
1	0	1	0	0	0	0	1
1	1	0	1	0	0	0	1
1	1	1	0	1	1	1	0

	A_4	A_5	A_6	A_7	A_8	A_9
ASCII CHARACTER	1	1	0	0	1	0

Figuur 6/5.3.1-5: Voorbeeld van een letter die met een 8 x 5 matrix is geprogrammeerd.

5.3 Geheugens



Figuur 6/5.3.1-6: Een voorbeeld van een karakter tabel.

32k-typen

4k x 8

merk	typenummer
AMD	Am9232
GI	RO-3-9332
Motorola	MCM68A332
NEC	µPD2332
Oki	MSM2932
Signetics	2632A
Synertek	SY2332
Texas Instr.	TMS4732
Toshiba	TMM333
VTI	VT2332

4k x 8

merk	typenummer
AMD	Am9233
GI	RO9333
Synertek	SY2333
Texas Instr.	TMS2332
Toshiba	TMM2332
VTI	VT2333

64k-typen

8k x 8

merk	typenummer
AMD	Am9264C
GI	RO9464C
GTE Micro	G2364
Mostek	MK36000
Motorola	MCM68364
NCR	NCR2364
NEC	µPD2364
Oki	MSM2965
Rockwell	R2364A
SGS	M2364
Signetics	2664A
Synertek	SY2364
Texas Instr.	TMS4764
VTI	VT2364

8k x 8

merk	typenummer
AMD	Am9265C
GI	RO9864C
Motorola	MCM68370
NCR	NCR2365
Rockwell	R2364B
SGS	M37000
Synertek	SY2365
Texas Instr.	TMS2364
VTI	VT2365

128k-typen

16k x 8

merk	typenummer
AMD	Am92128D
EXEL	XLS23128
GI	RO9128C
Gould AMI	S23128B
NCR	NCR23128
NEC	µPD23128
Oki	MSM38128A
Sharp	LH23128
Signetics	23128
Texas Instr.	TMS47128
VTI	VT23128

256k-typen

32k x 8

merk	typenummer
AMD	Am92256
EXEL	XLS23256
Gould AMI	S23256C
Mostek	MK38000
NCR	NCR23256
NEC	µPD23256
Signetics	23256A
Synertek	SY23256
Texas Instr.	TMS47256
VTI	VT23256

256k-typen

32k x 8, CMOS

merk	typenummer
Fujitsu	MB83256
GTE Micro	G53256
Hitachi	HN613256H
Motorola	MCM65256
NCR	NCR23C256
Oki	MSM53256
RCA	CDM53256
SMOS	SMM2325
Texas Instr.	TMS47C256
Toshiba	TMM23256

512k-typen

64k x 8, CMOS

merk	typenummer
GI	RO9512
Sharp	LH3512
Texas Instr.	TMS47C512
VTI	VT2351

1M-typen

128k x 8, CMOS

merk	typenummer
GI	RO91000
Hitachi	HN62301
NEC	µPD231000
Texas Instr.	TMS47C1024

Figuur 6/5.3.1-7: Equivalentenlijst van ROM geheugens volgens NMOS- en CMOS-technologie.

5.3 Geheugens

De karakter tabel
Iedere ROM wordt geleverd met een zogenoemde "karakter tabel". Dat is een tabel waarin beschreven staat welke logische signalen men op de adres-lijnen moet leggen om op de uitgangen een bepaald karakter te laten verschijnen.
In figuur 6/5.3.1-6 is een voorbeeld van een dergelijke tabel gegeven.

Equivalentenlijst

In het overzicht van figuur 6/5.3.1-7 wordt een equivalentenlijst gepubliceerd van de meest gebruikte ROM's met NMOS of CMOS als technologie.
Men moet er echter wél rekening mee houden dat aan het typenummer niet te zien is wat de inhoud van het geheugen is! Een en hetzelfde type kan dus zowel een karakter generator bevatten als een stukje bedrijfssoftware voor een of ander industrieel apparaat. Sommige fabrikanten geven echter de inhoud aan door extra toevoegingen aan het typenummer. In de tabel van figuur 6/5.3.1-8 zijn als voorbeeld alle leverbare opties van de MM 5240 weergegeven.

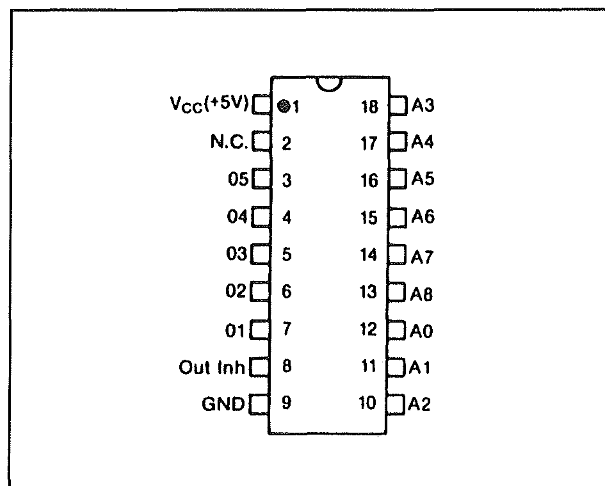
TYPE-NUMMER	FUNCTIE
MM 5240 AA	7 x 5 ASCII/7 horizontale scan generator
MM 5240 AD	Katakana alfabet generator
MM 5240 AE	5 x 7 ASCII/7 karakter generator
MM 5240 AF	5 x 7 ASCII/6 karakter generator
MM 5240 AH	5 x 7 ASCII/6 karakter generator
MM 5240 AK	5 x 7 ECMA/6 karakter generator
MM 5240 ABU	Hollerith karakter generator
MM 5240 ABZ	EBCDIC/8 karakter generator
MM 5240 ACA	EBCDIC karakter generator

Figuur 6/5.3.1-8: De leverbare opties van de MM 5240.

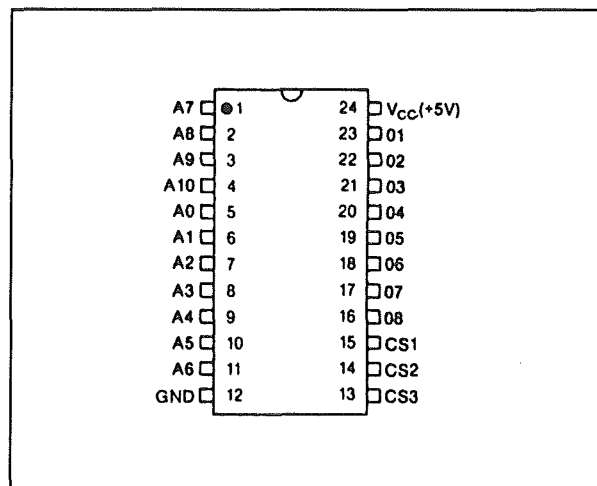
Type-beschrijving

Op de volgende pagina's zijn de aansluitgegevens van de meest toegepaste ROM geheugens op numerieke volgorde opgenomen. Omdat alle ROM's in principe op dezelfde manier werken is het niet noodzakelijk de interne blokschema's of logische symbolen te publiceren. Dat zou, trouwens, ook veel te veel plaats kosten! Naast het type-nummer wordt de geheugenstructuur vermeld. "4.096 x 8" wil zeggen dat de ROM 12 adres-ingangen heeft en 8 data-uitgangen. Bij sommige IC's staat een codering als "64 x (5 x 7)". Dan is het IC een typische karaktergenerator die 64 verschillende karakters kan genereren in een 5 bij 7 dots matrix.

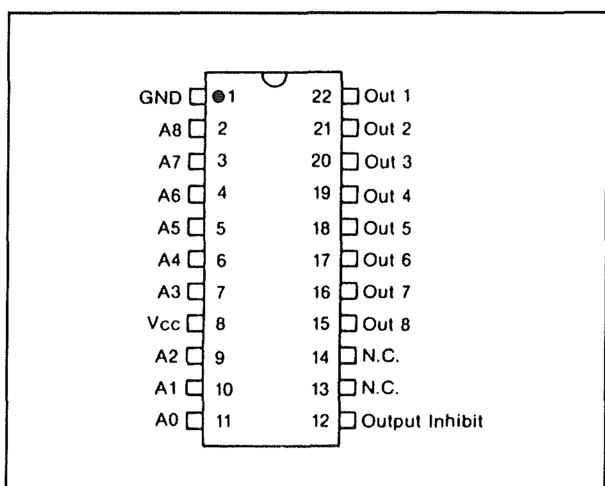
5.3 Geheugens



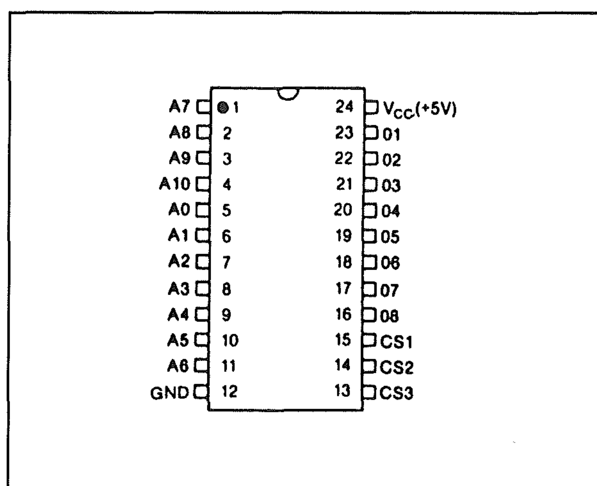
RO-3-2560 512 x 5



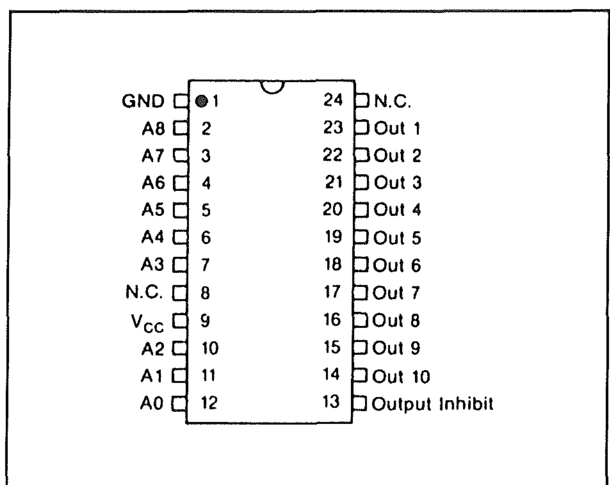
RO-3-8316A 2.048 x 8



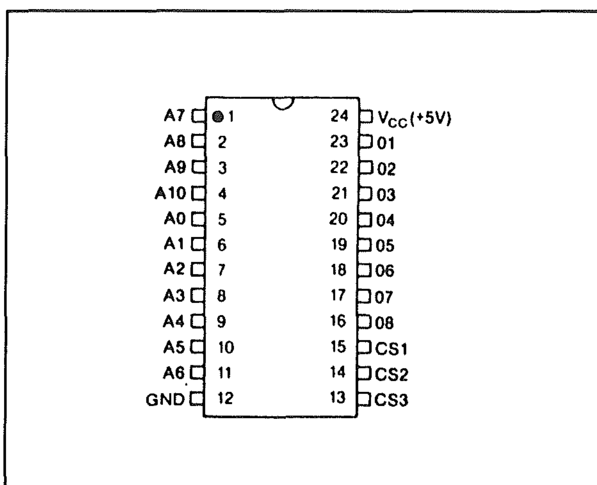
RO-3-4096 512 x 9



RO-3-8316B 2.048 x 8

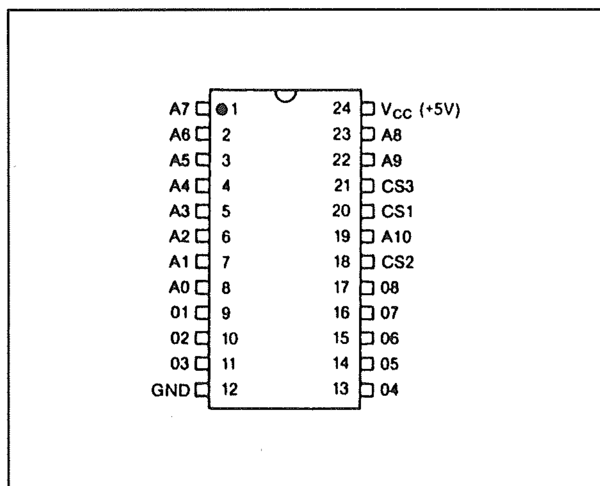


RO-3-5120 512 x 10

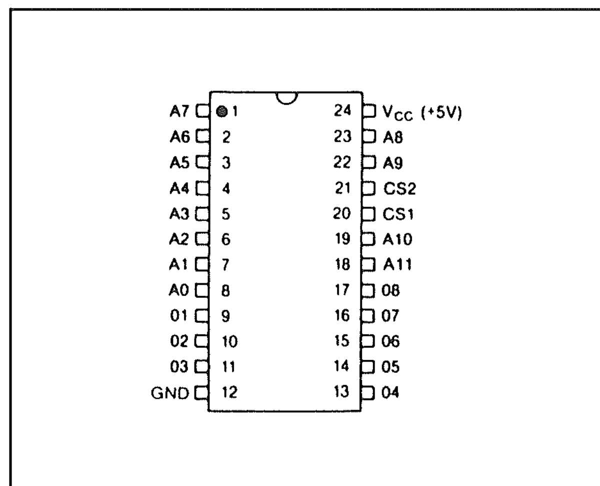


RO-3-8316C 2.048 x 8

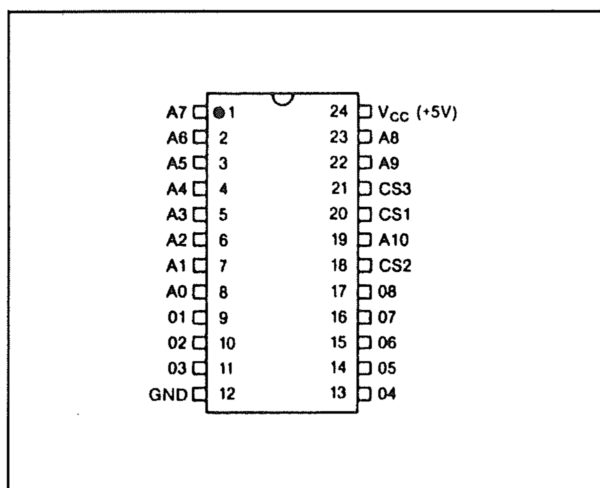
5.3 Geheugens



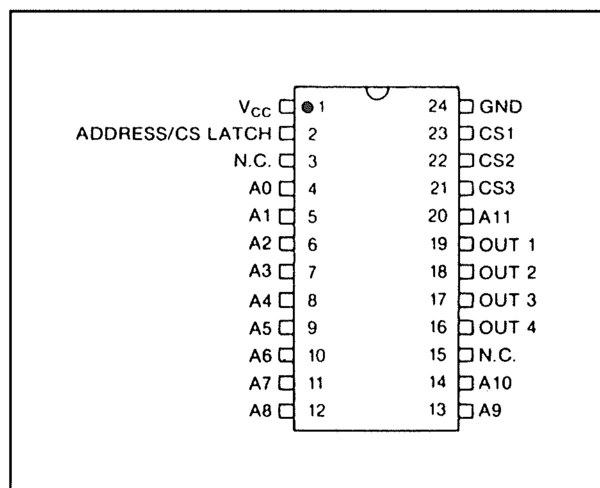
RO-3-9316A 2.048 x 8



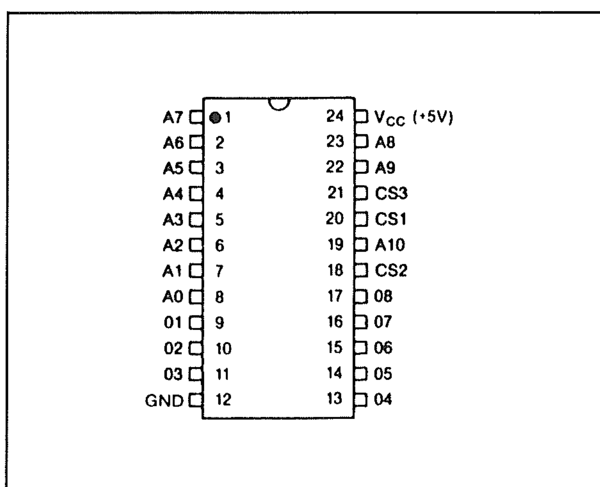
RO-3-9332A 4.096 x 8



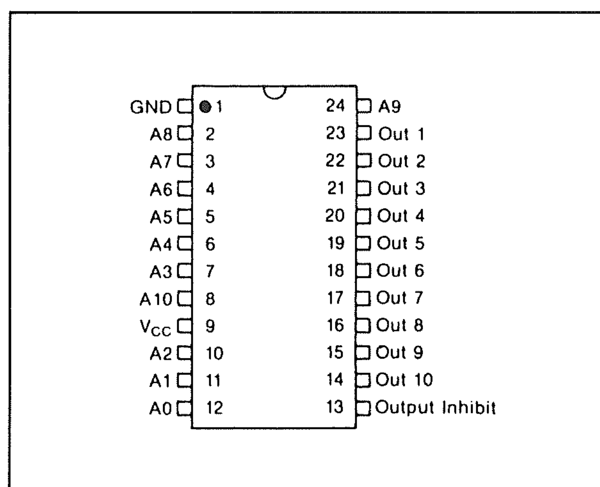
RO-3-9316B 2.048 x 8



RO-3-16384 4.096 x 4

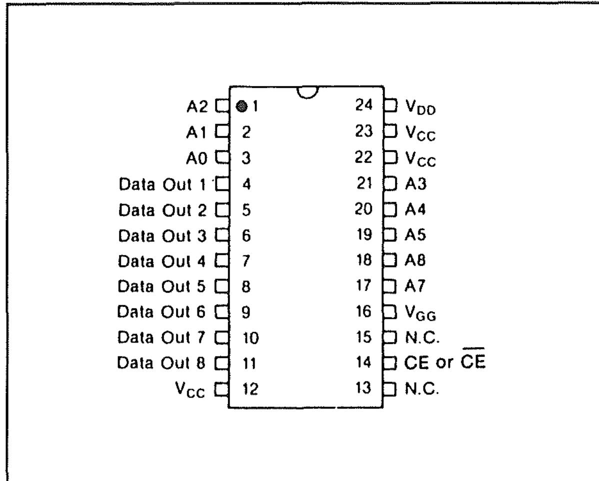


RO-3-9316C 2.048 x 8

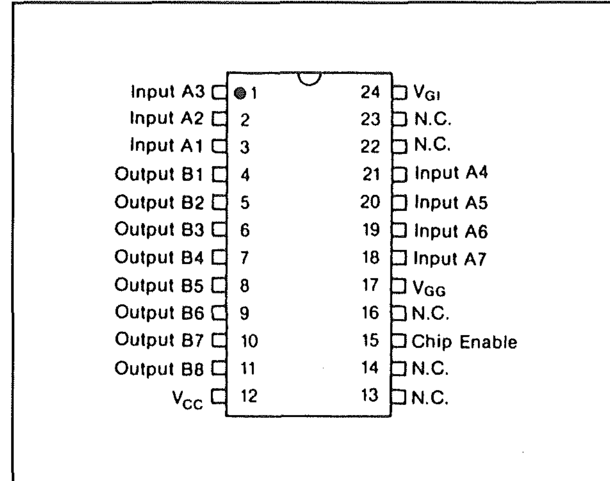


RO-3-20480 2.048 x 10

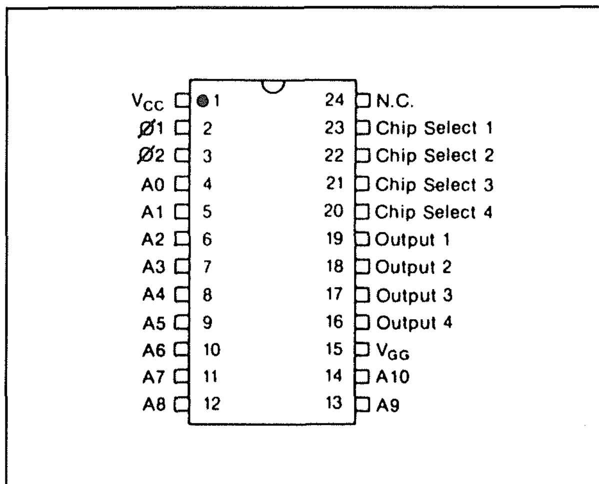
5.3 Geheugens



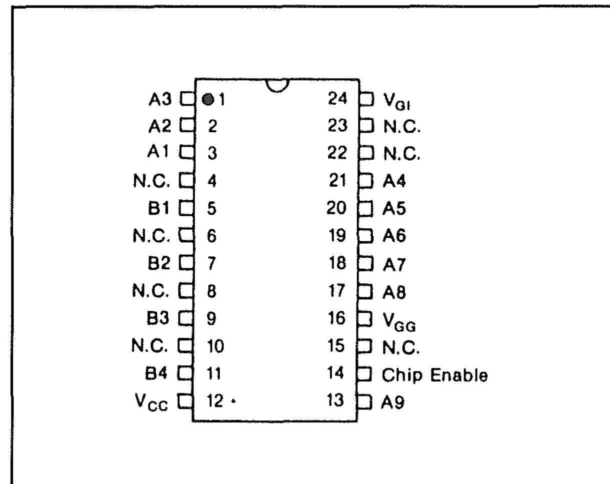
RO-5-1302 256 x 8



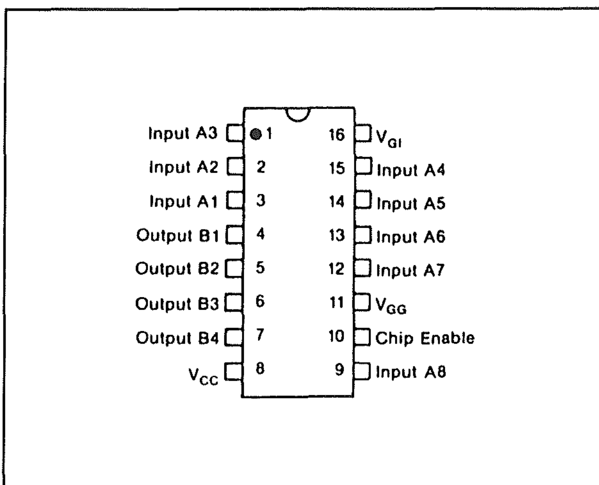
RO-6-1024/8 128 x 8



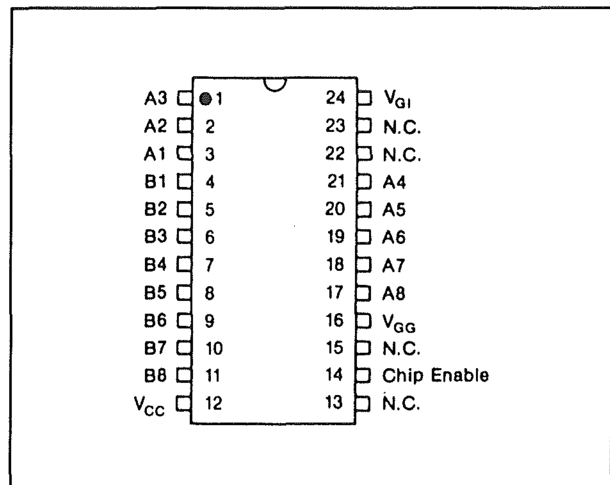
RO-5-8192 2.048 x 4



RO-6-2048/4 512 x 4

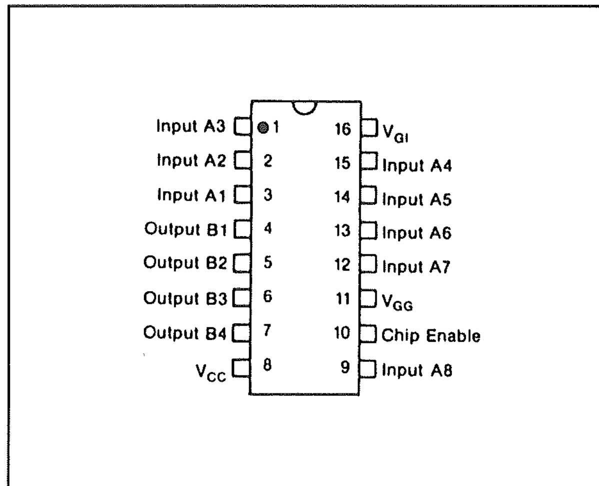


RO-6-1024/4 256 x 4

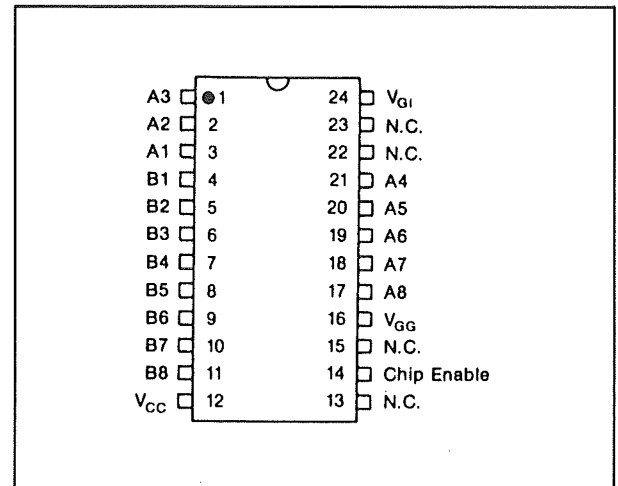


RO-6-2048/8 256 x 8

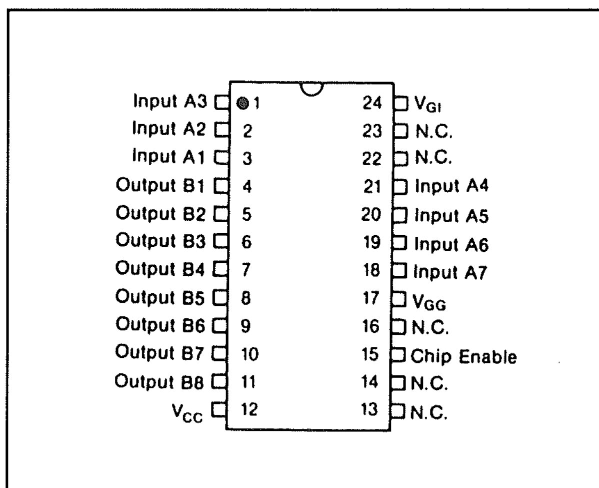
5.3 Geheugens



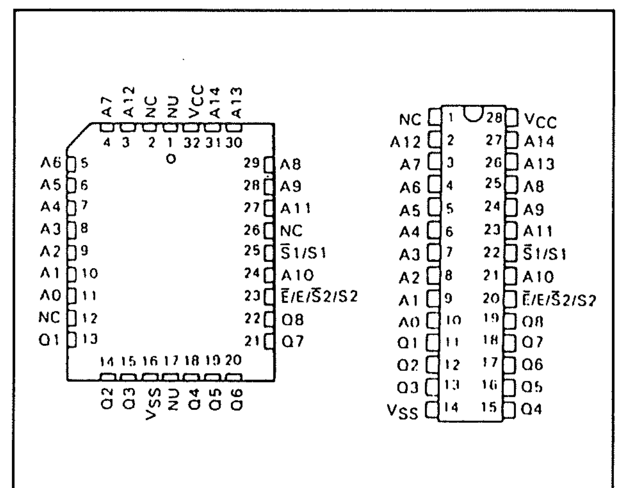
RO-7-1024/4 256 x 4



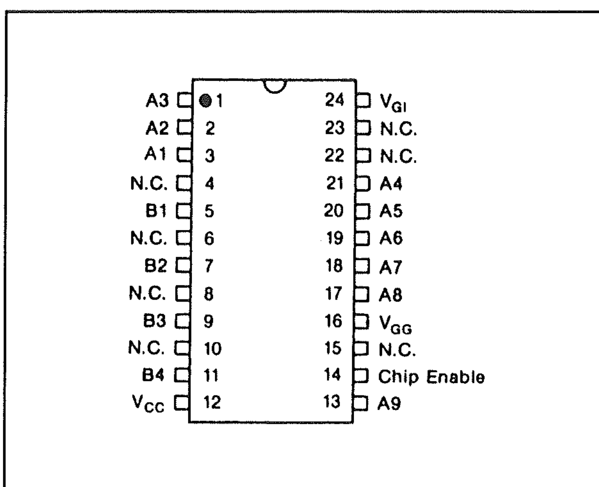
RO-7-2048/8 256 x 8



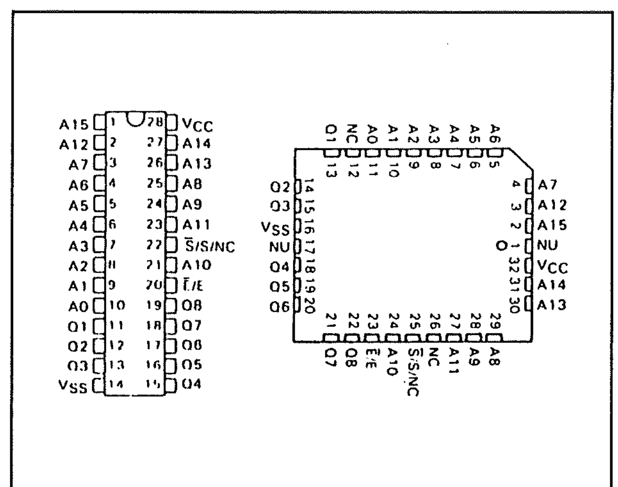
RO-7-1024/8 128 x 8



TMS 47C256 32.768 x 8

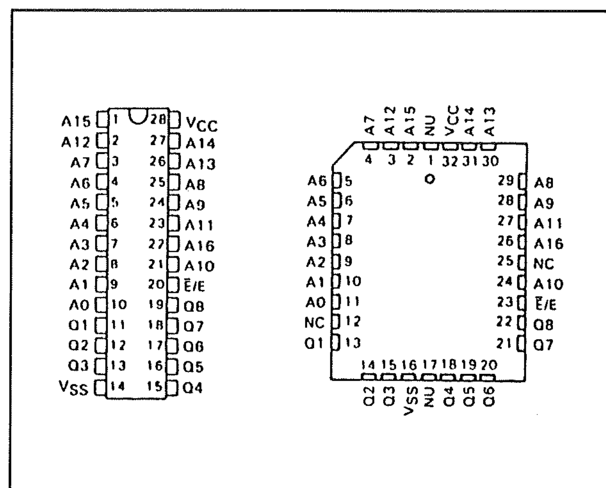


RO-7-2048/4 512 x 4

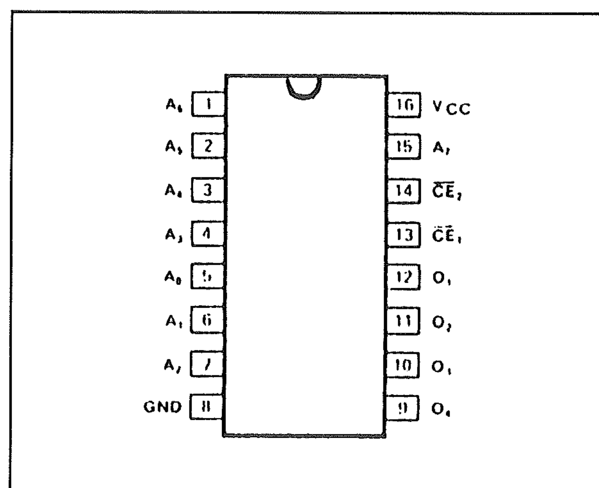


TMS 47C512 65.536 x 8

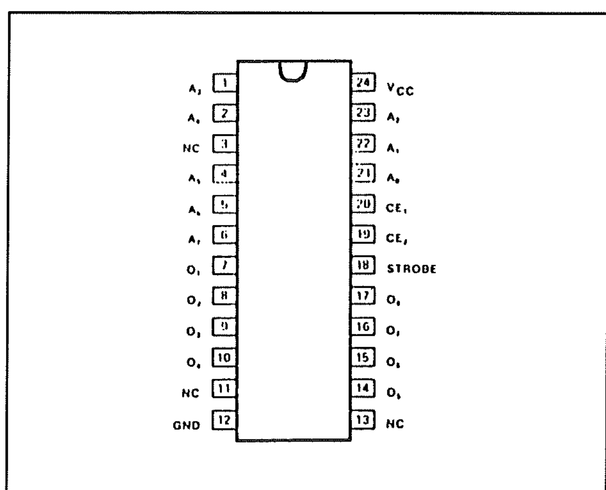
5.3 Geheugens



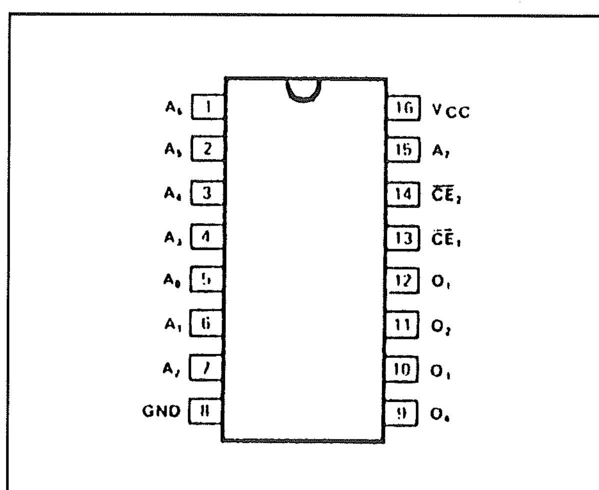
TMS 47C1024 131.072 x 8



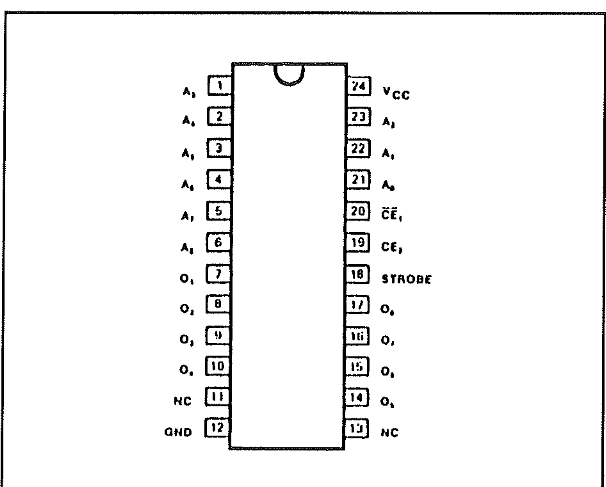
N 82 S226 256 x 4



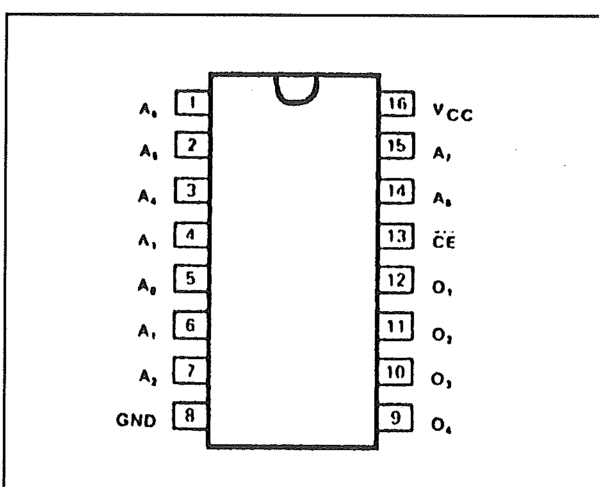
N 82 S214 256 x 8



N 82 S229 256 x 4

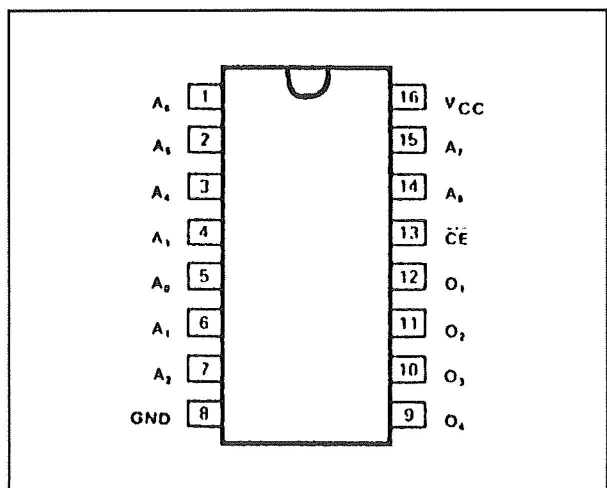


N 82 S215 512 x 8

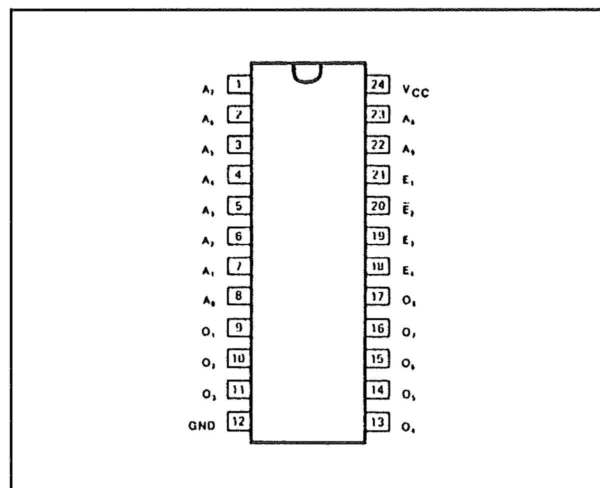


N 82 S230 512 x 4

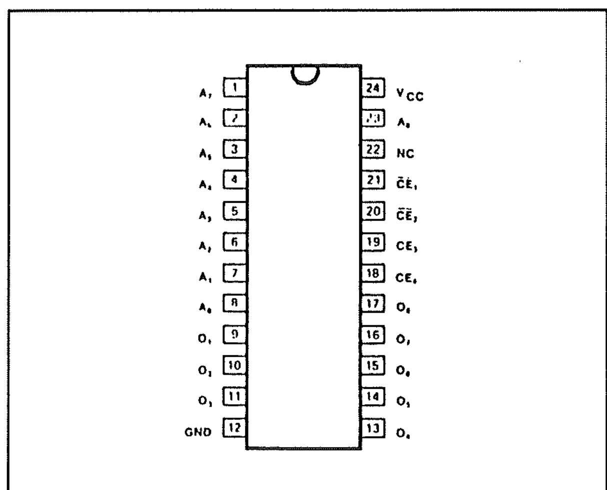
5.3 Geheugens



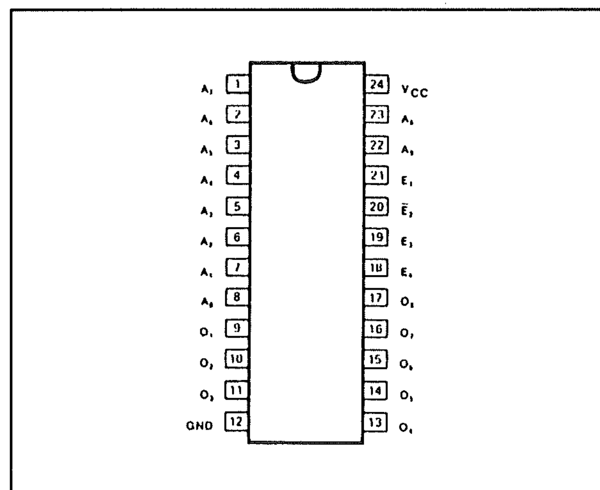
N 82 S231 512 x 4



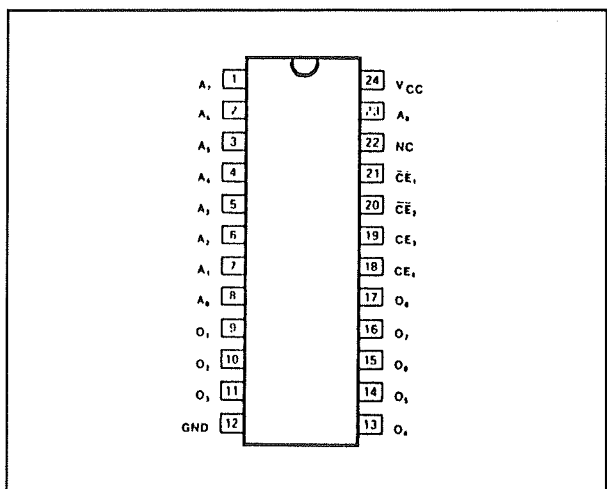
N 82 S280 1.024 x 8



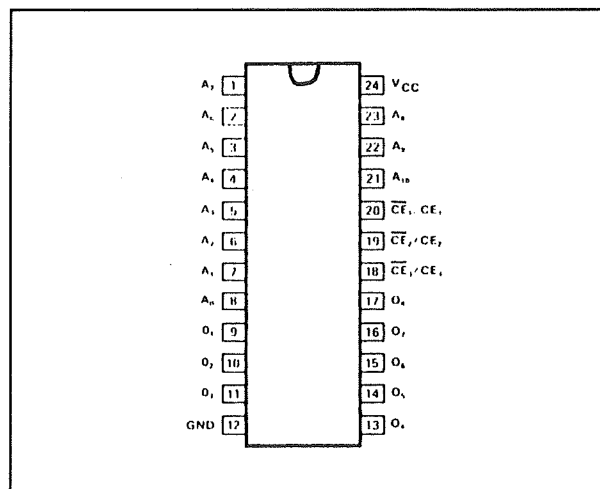
N 82 S240 512 x 8



N 82 S281 1.024 x 8

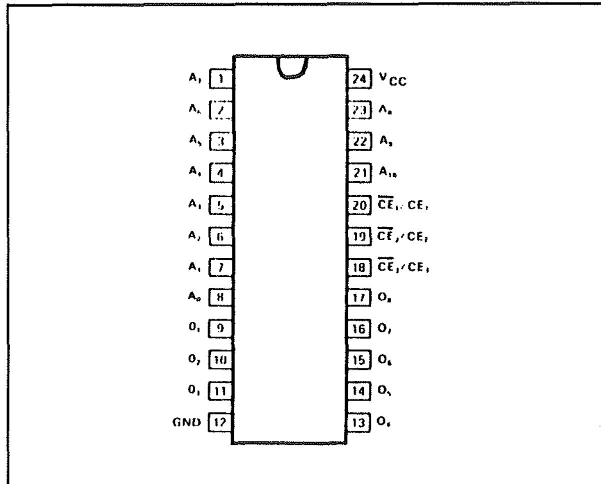


N 82 S241 512 x 8

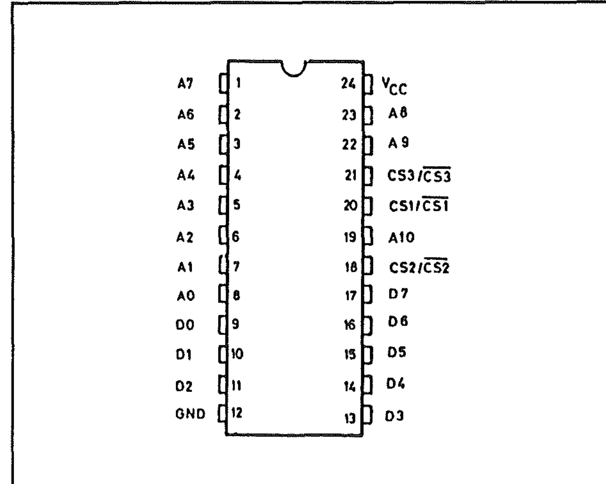


N 82 S290 2.048 x 8

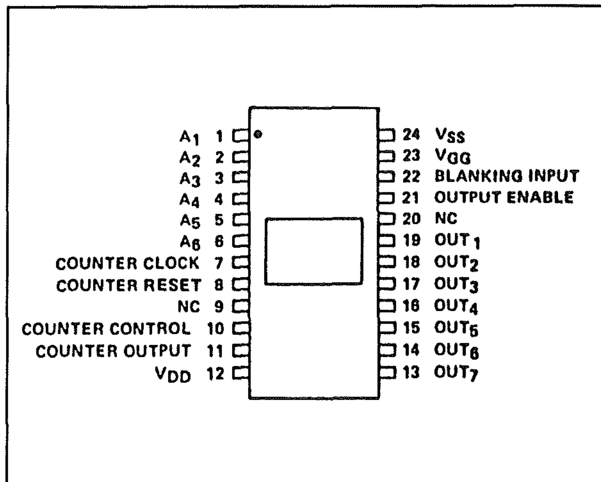
5.3 Geheugens



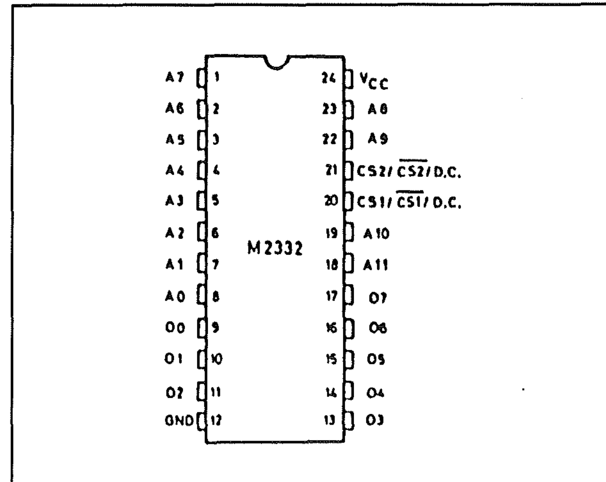
N 82 SS291 2.048 x 8



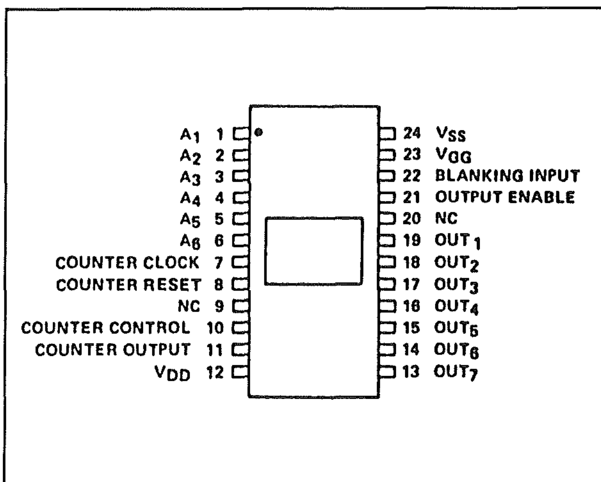
M 2316 H 2.048 x 8



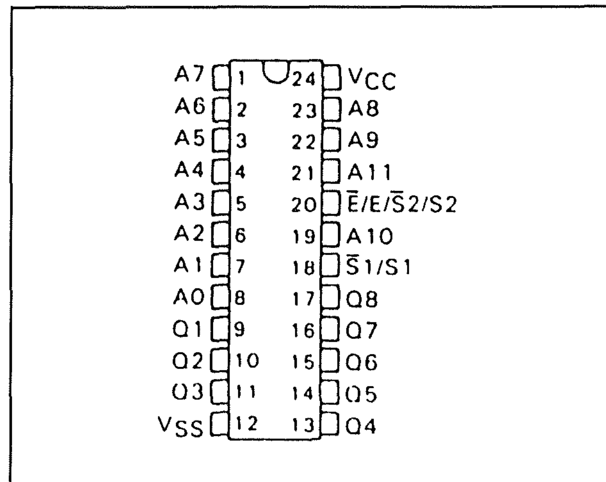
MK 2300 64 x (5 x 7)



M 2332 4.096 x 8

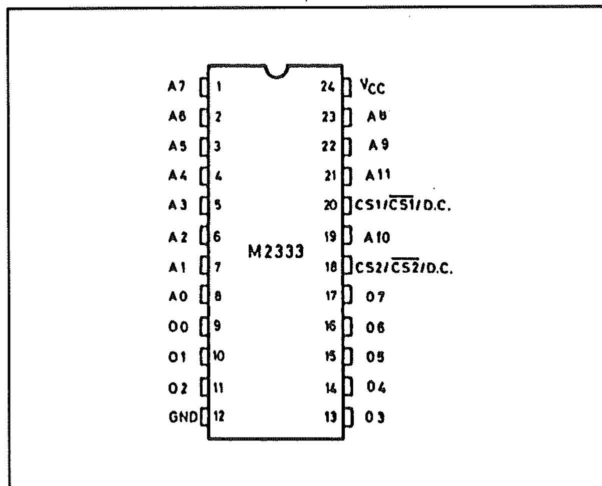


MK 2302 64 x (5 x 7)

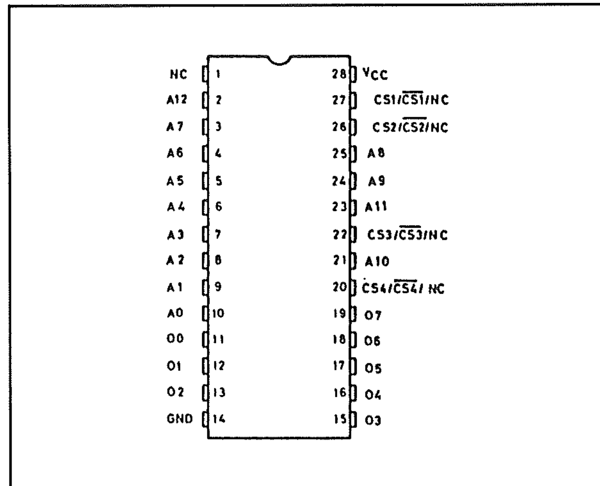


TMS 2332 4.096 x 8

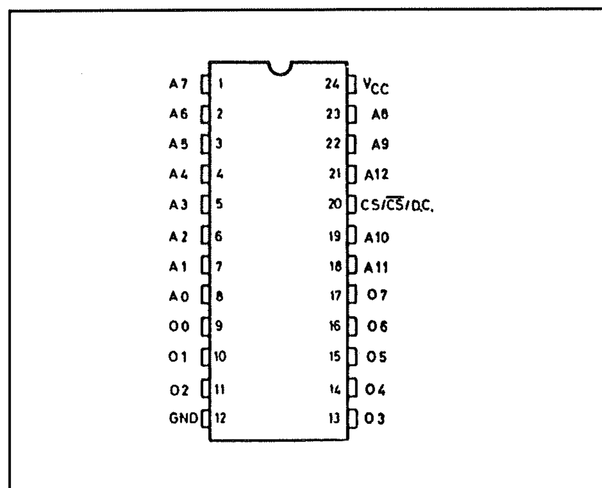
5.3 Geheugens



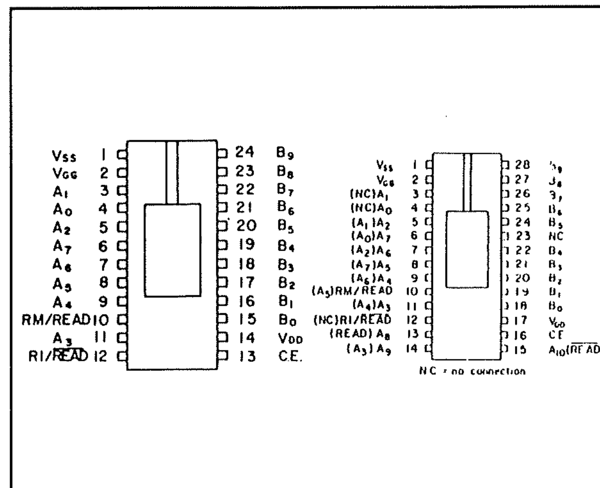
M 2333 4.096 x 8



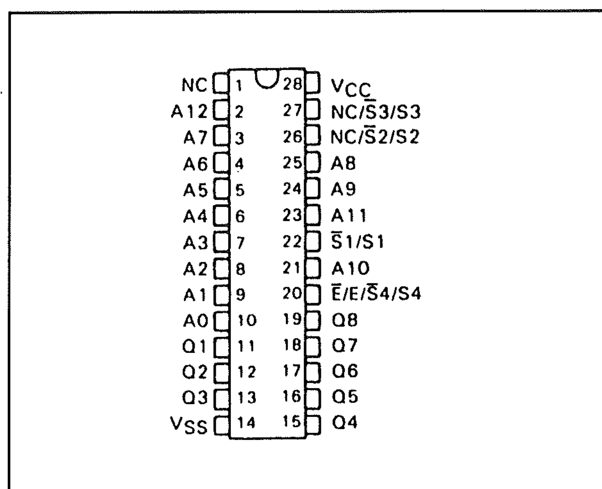
M 2365 8.192 x 8



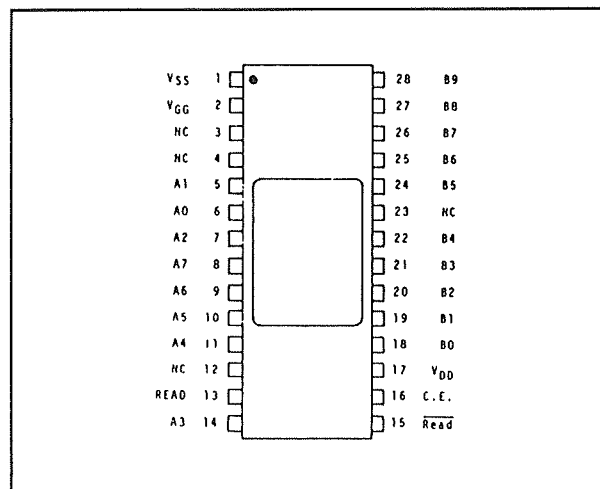
M 2364 8.192 x 8



MK 2400 256 x 10

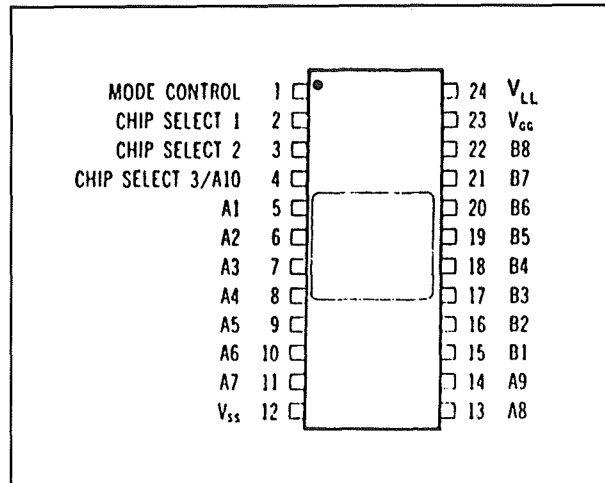


TMS 2364 8.192 x 8

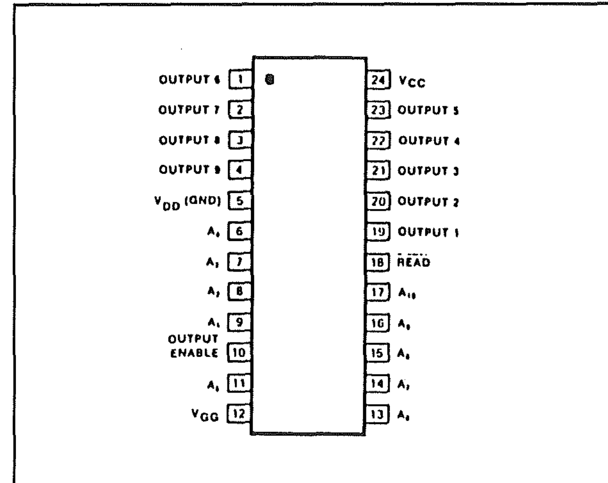


MK 2408 64 x (5 x 7)

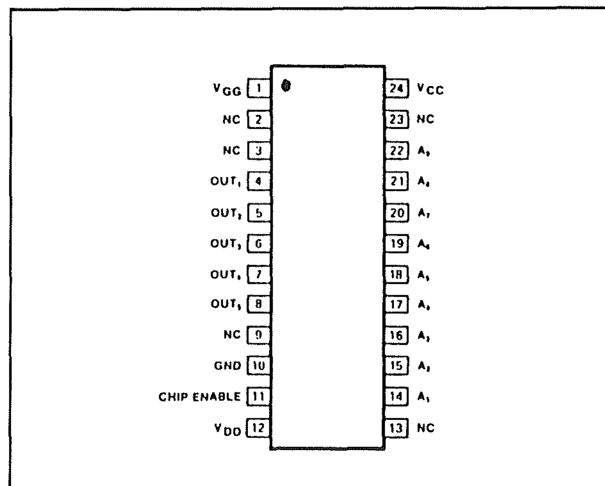
5.3 Geheugens



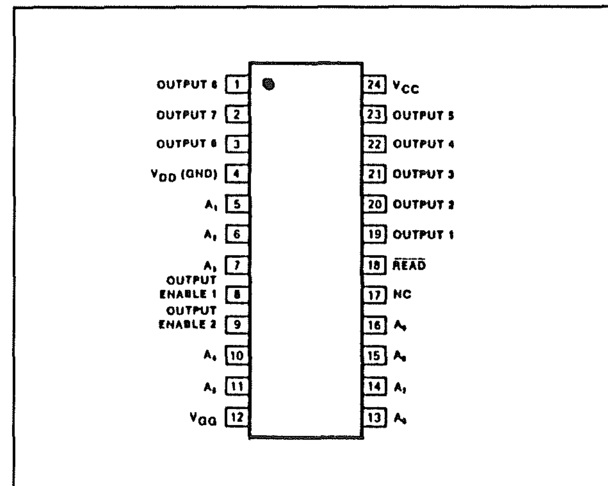
MK 2500 512 x 8



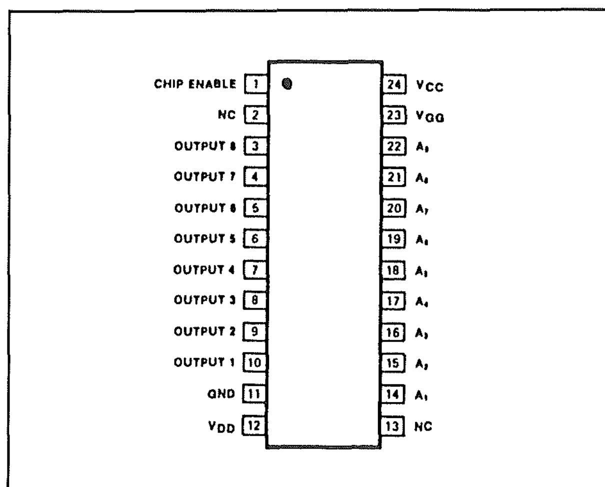
2526 64 x (9 x 9)



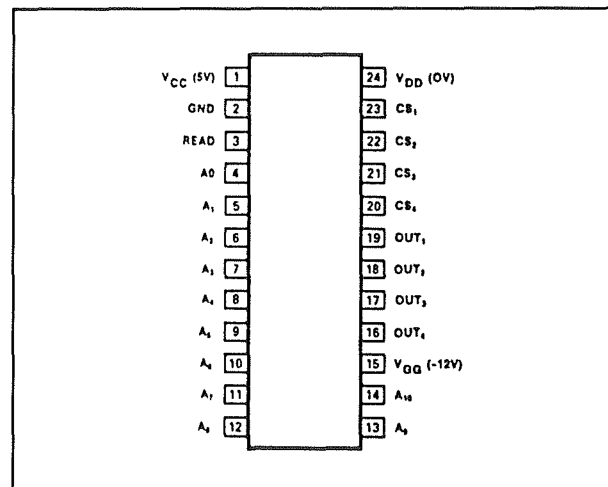
2513 64 x (5 x 8)



2530 512 x 8

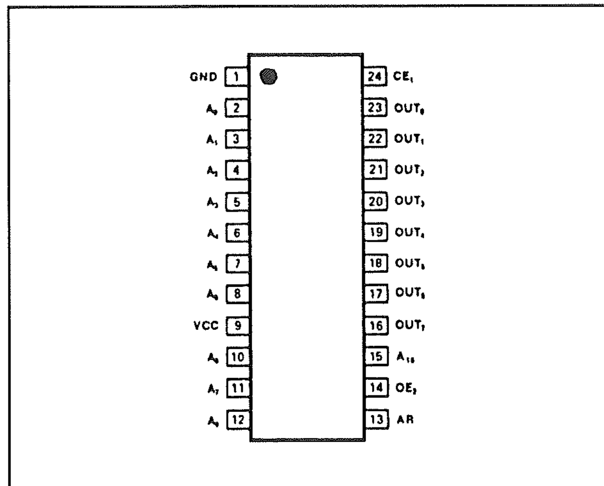


2516 64 x (6 x 8)

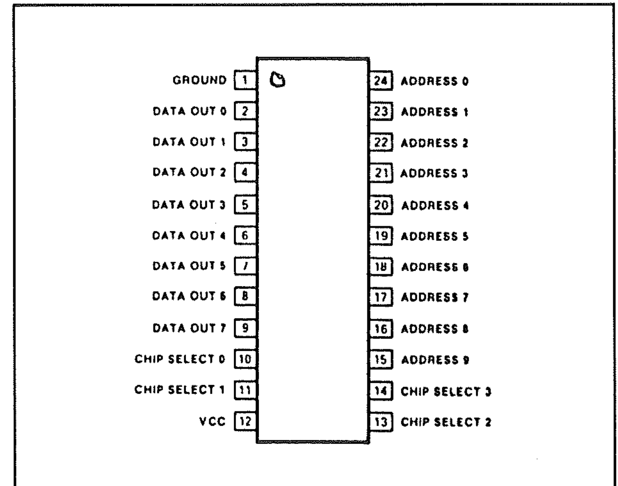


2580 2.048 x 4

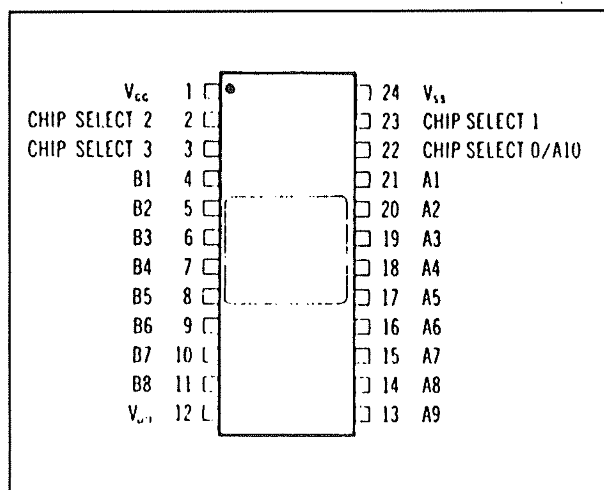
5.3 Geheugens



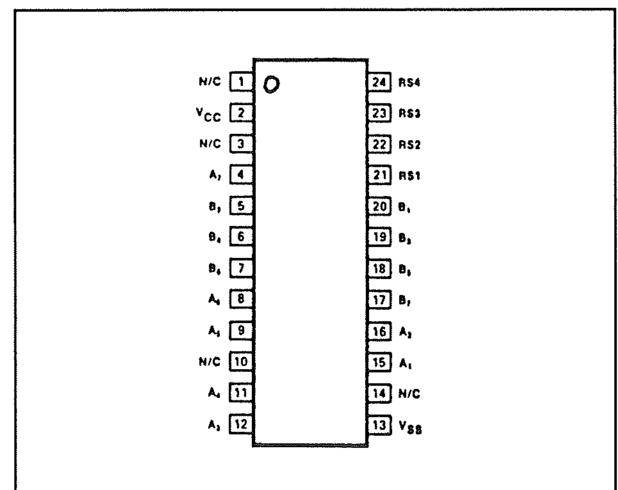
2600 2.048 x 8



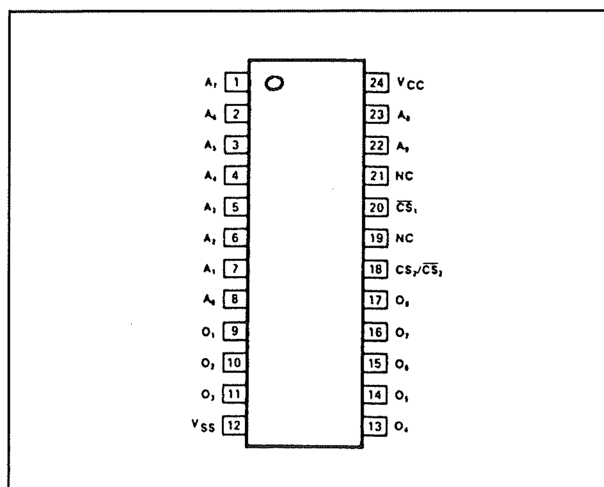
2608 1.024 x 8



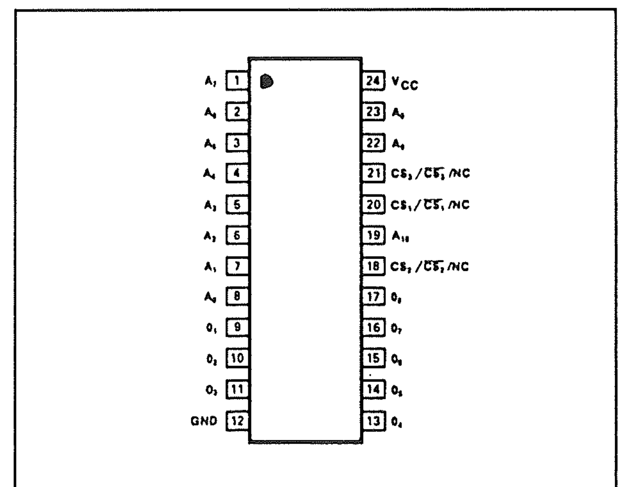
MK 2600 1.024 x 4



2609 128 x (7 x 9)

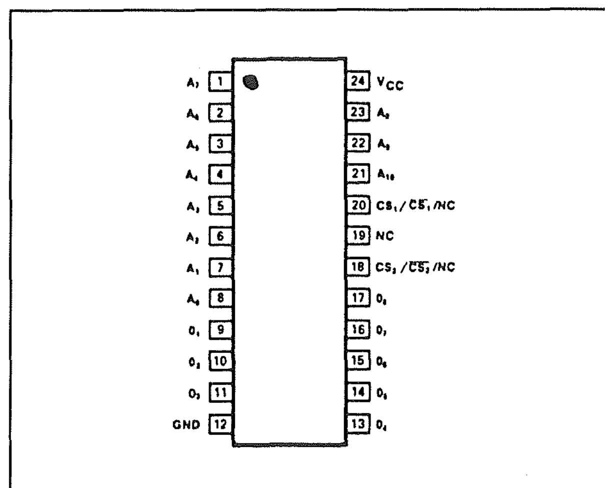


2607 1.024 x 8

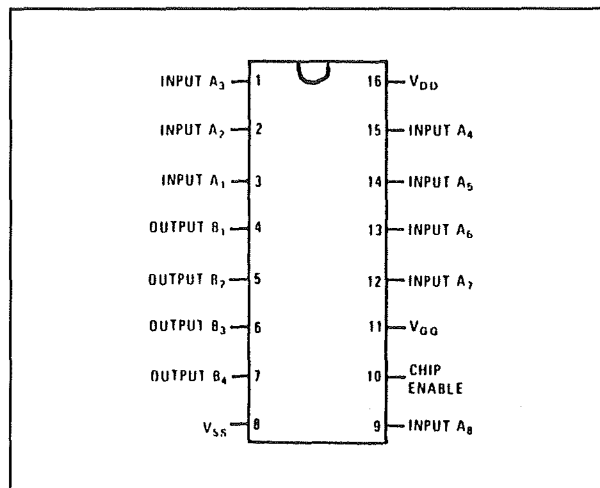


2616 2.048 x 8

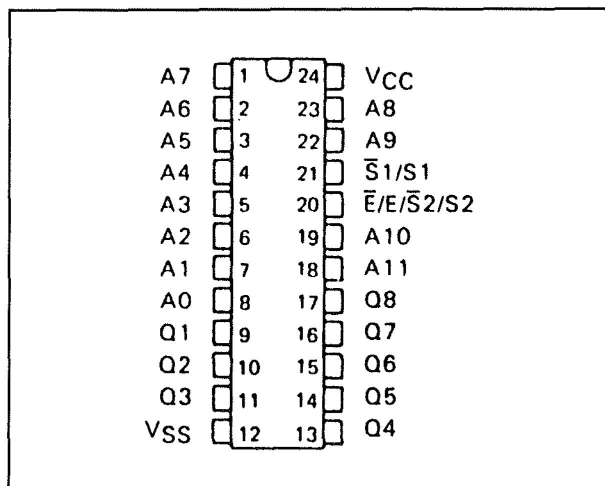
5.3 Geheugens



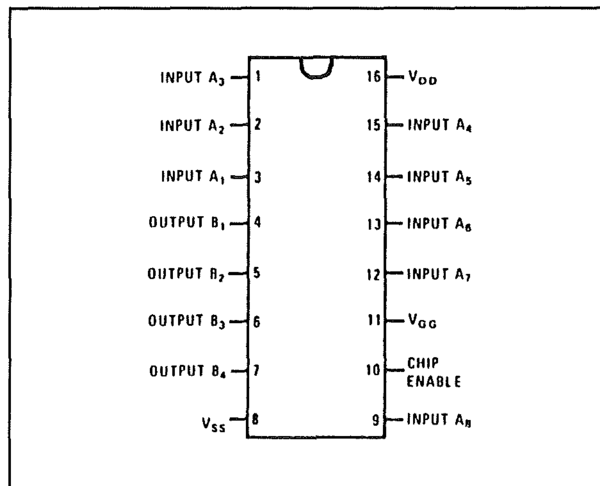
2617 2.048 x 8



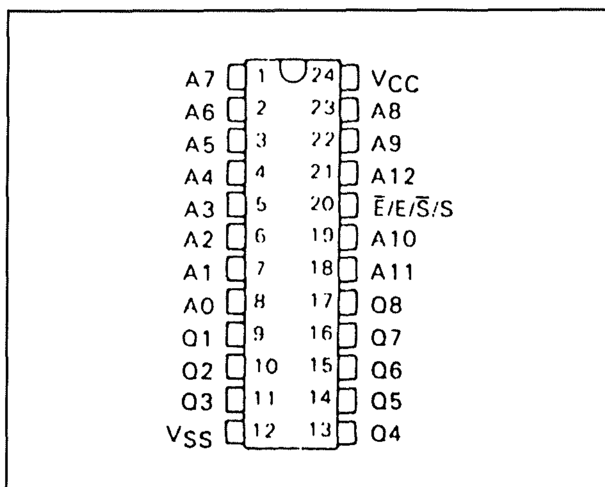
MM 5210 256 x 4



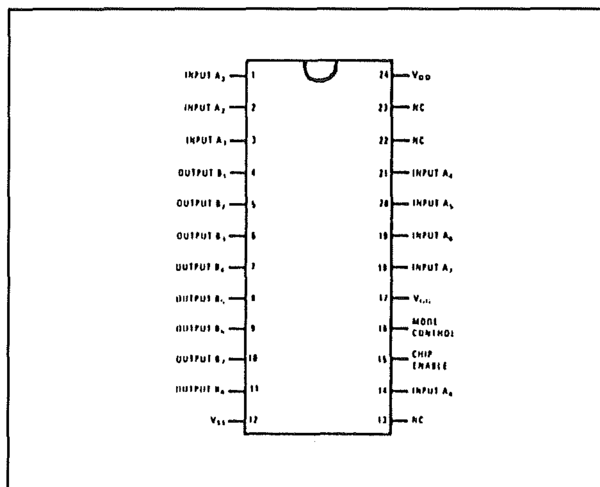
TMS 4732 4.096 x 8



MM 5211 256 x 4

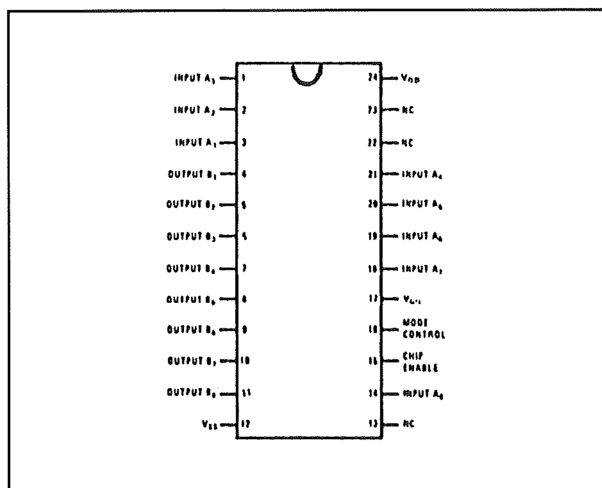


TMS 4764 8.192 x 8

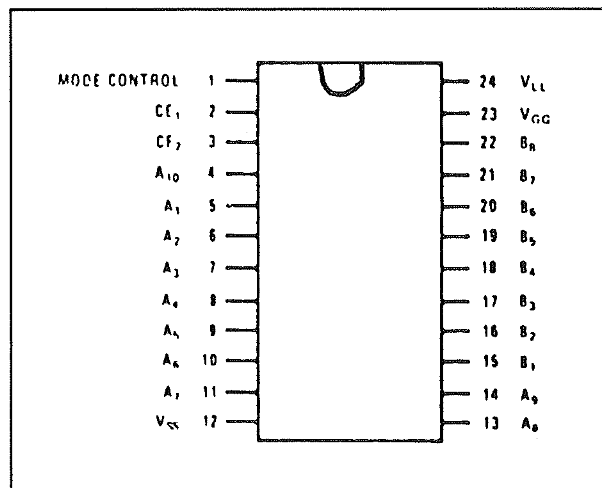


MM 5220 128 x 8

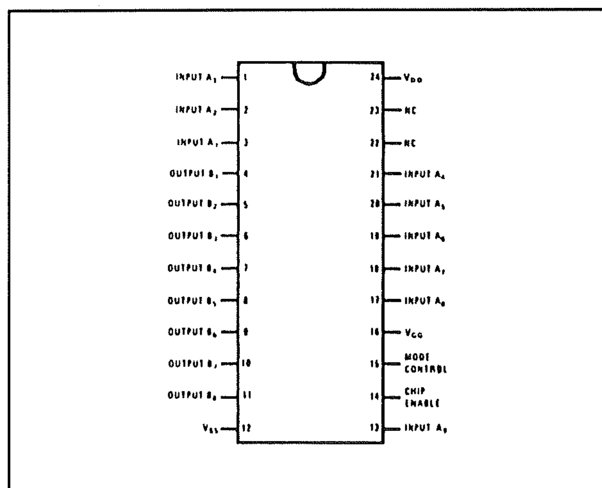
5.3 Geheugens



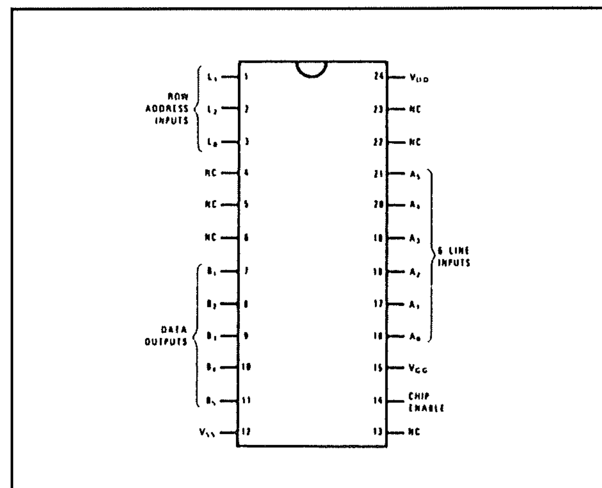
MM 5221 128 x 8



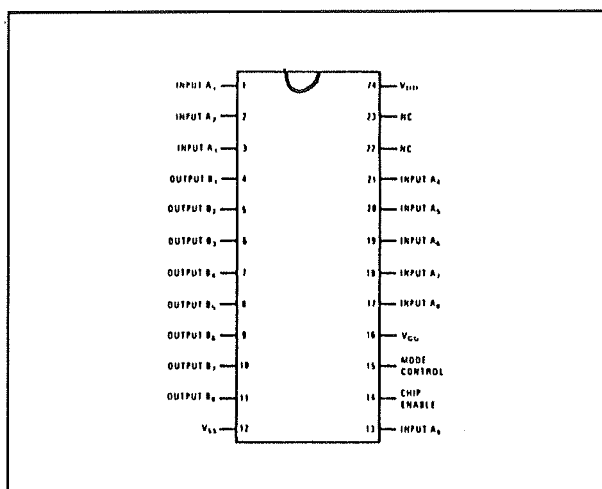
MM 5232 512 x 8



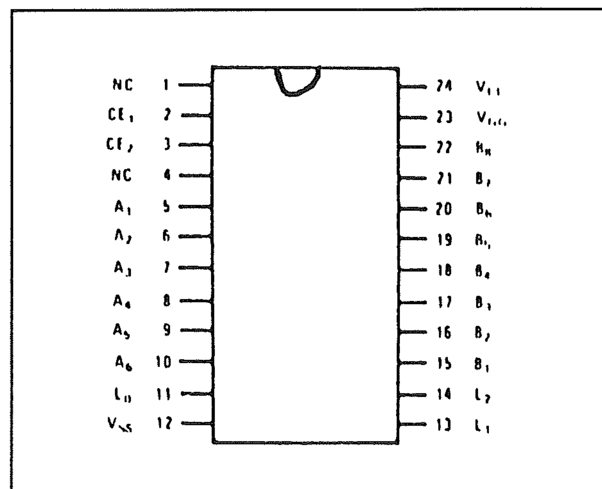
MM 5230 256 x 8



MM 5240 64 x (5 x 8)

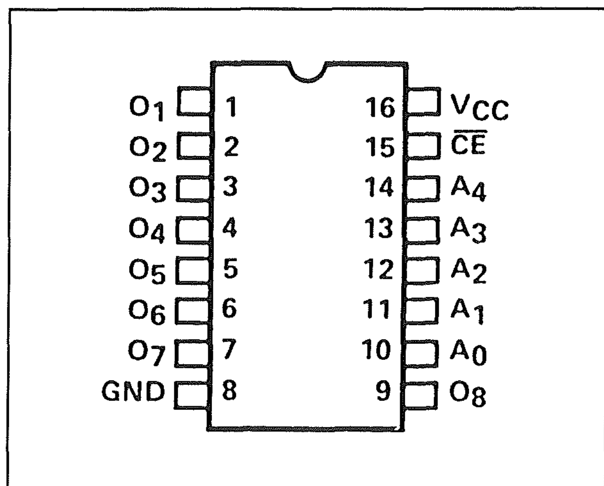


MM 5231 256 x 8

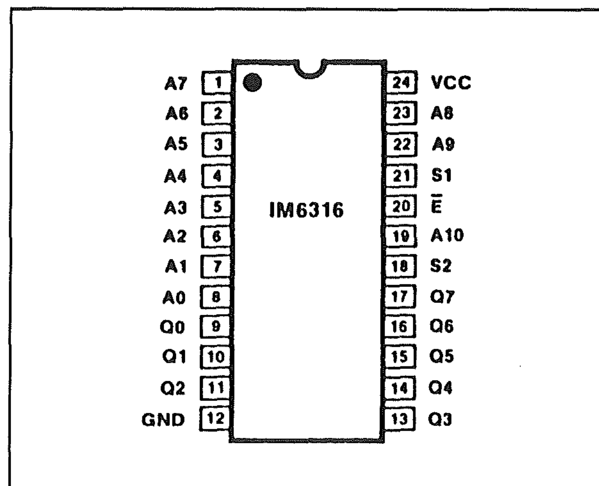


MM 5241 64 x (6 x 8)

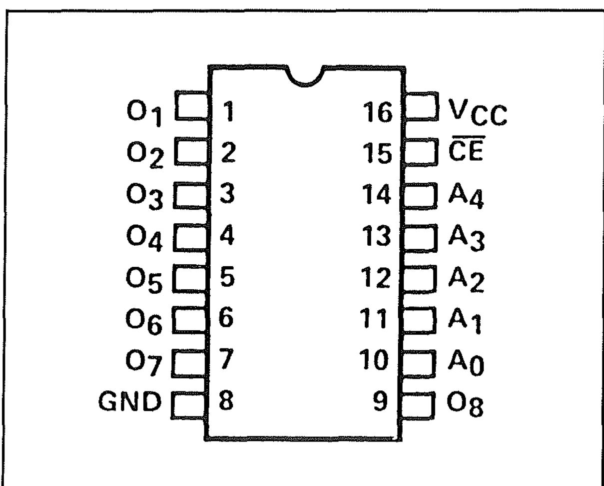
5.3 Geheugens



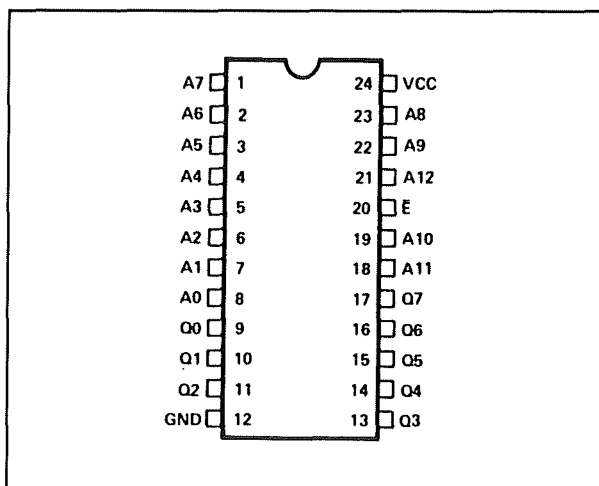
IM 5600 32 x 8



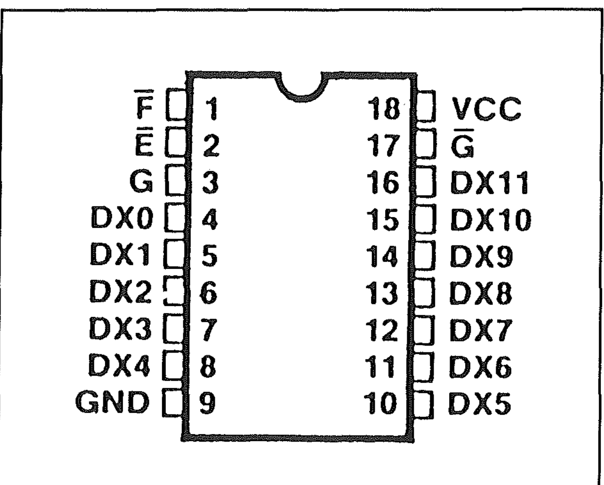
IM 6316 2.048 x 8



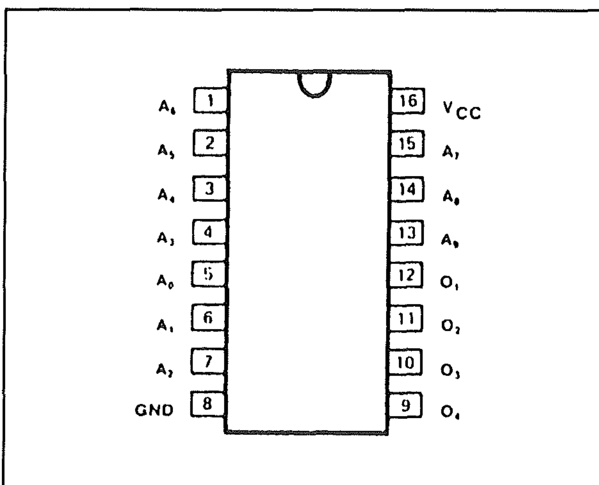
IM 5610 32 x 8



IM 6364 8.192 x 8

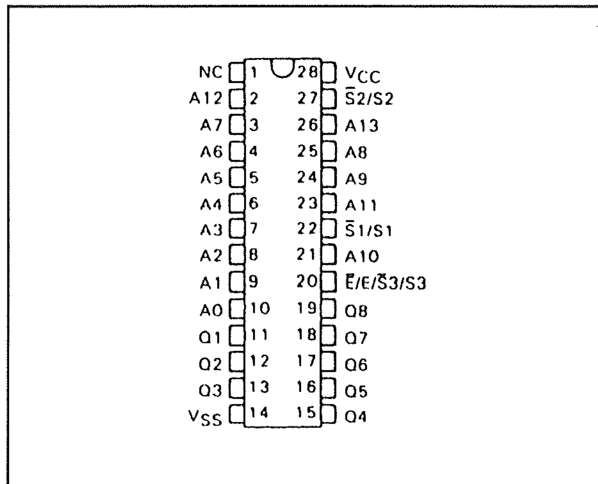


IM 6312 1.024 x 12

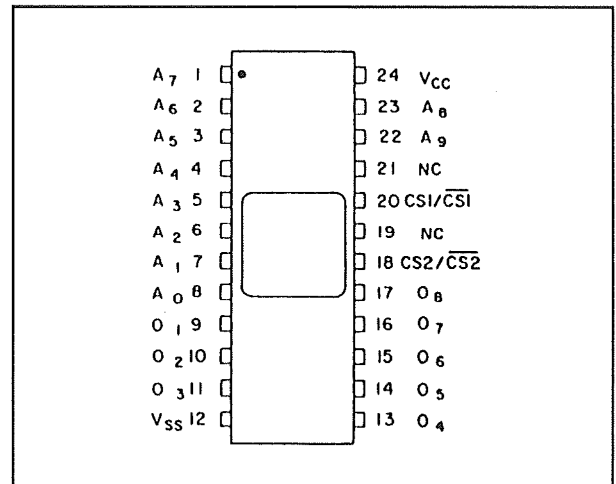


N 8228 1.024 x 4

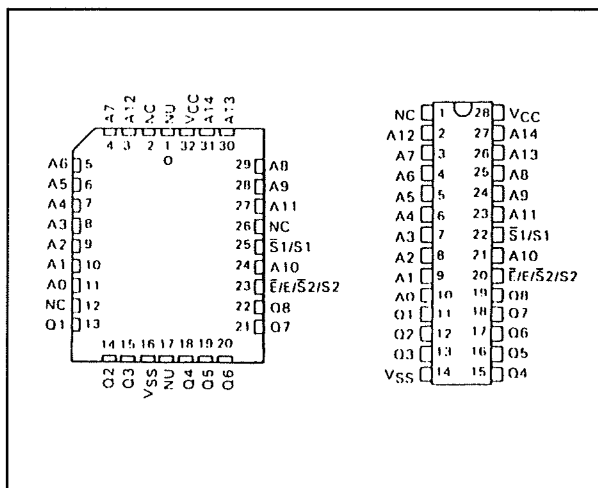
5.3 Geheugens



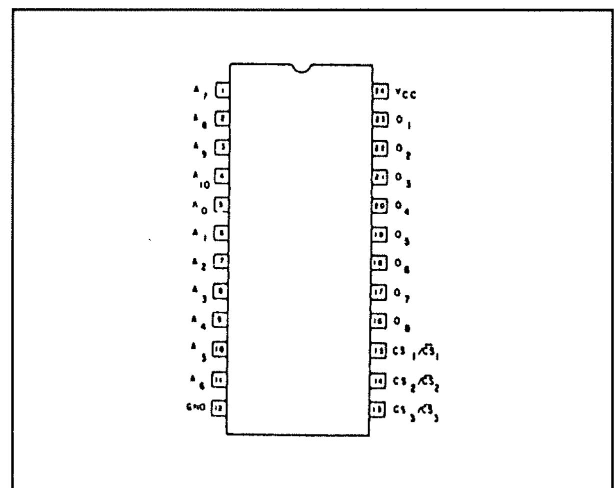
TMS 47128 16.3884 x 8



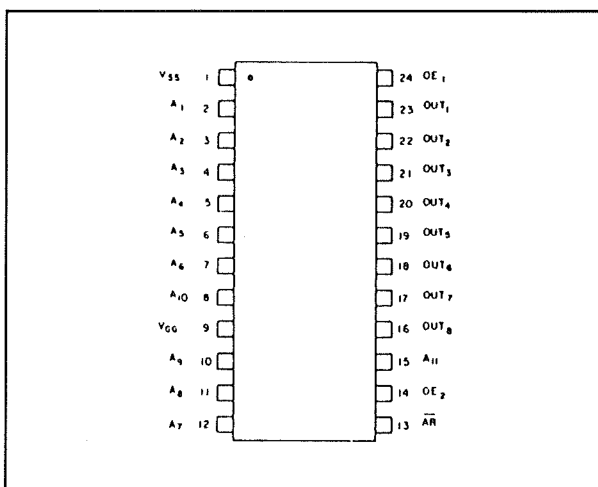
MK 30000 1.024 x 8



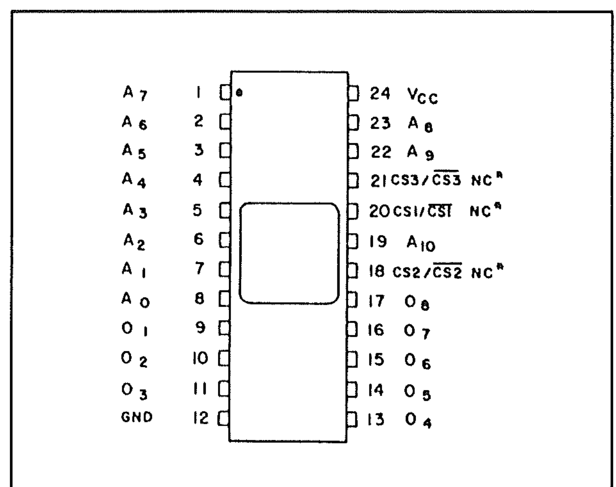
TMS 47256 32.768 x 8



MK 31000 2.048 x 8

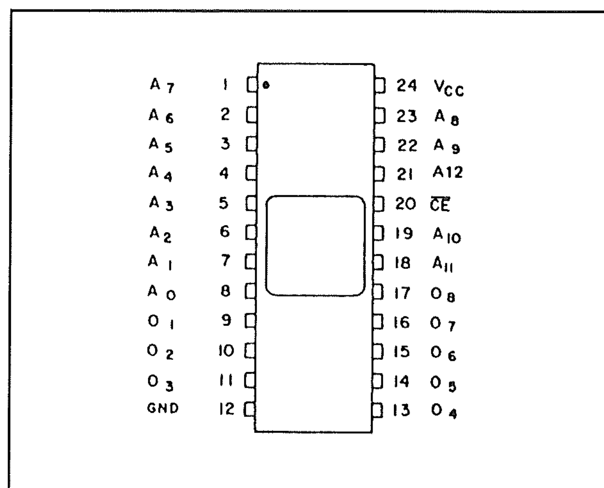


MK 28000 2.048 x 8



MK 34000 2.048 x 8

5.3 Geheugens



MK 36000 8.192 x 8

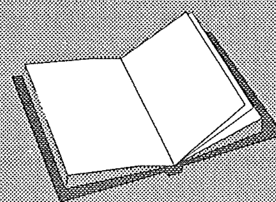
6/5.3.2 Statische RAM's

Achtergronden

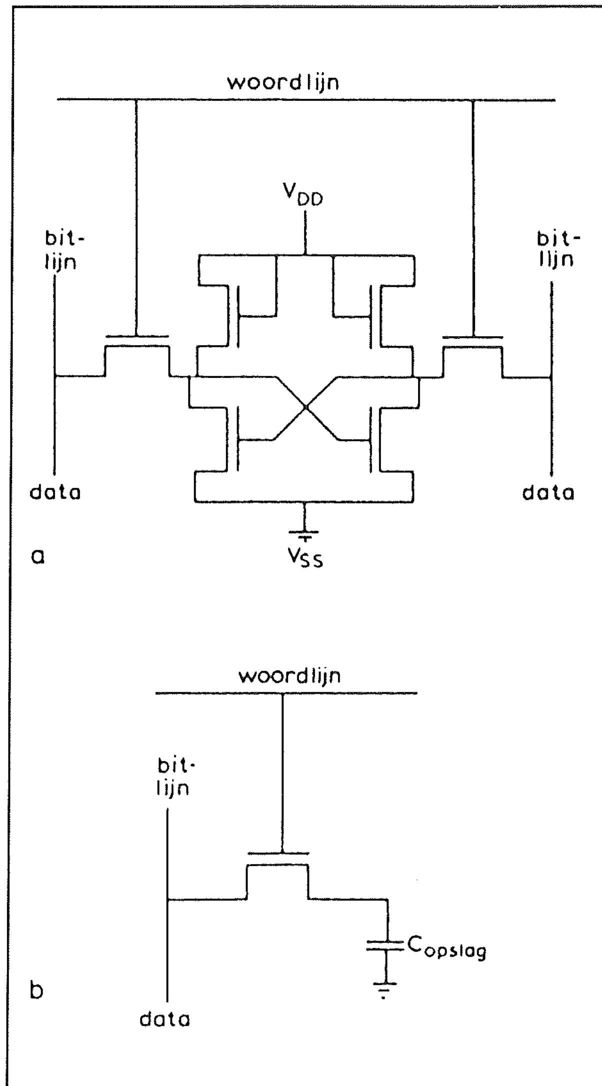
Wat is een statisch RAM?
Statische RAM's zijn vrij toegankelijke geheugens, die zowel beschreven als uitgelezen kunnen worden. De schakelingen werken statisch. De werking van het geheugen wordt bestuurd door signalen op ingangen te leggen bij het schrijven, waarna de informatie in het geheugen wordt opgeslagen. De geheugencel bestaat in wezen uit een flip-flop, een teruggekoppeld element dat er voor zorgt dat de informatie behouden blijft. Dit in tegenstelling tot de werking van dynamische RAM's, waarbij de informatie wordt opgeslagen in kleine condensatoren. Omdat deze onderdelen uiteraard een lekstroom hebben, zal de informatie vrij snel weglekken. Bij dit soort geheugens is het dan ook noodzakelijk zeer regelmatig de opgeslagen informatie te verversen. Door deze eenvoudige werking van statische RAM's zijn de schakelingen in de praktijk heel gemakkelijk aan te sturen. Men moet immers geen ingewikkelde timingschakelingen verzinnen om de inhoud van het geheugen te verversen. Statische RAM's worden dan ook overal gebruikt, waar niet al te grote hoeveelheden informatie opgeslagen moeten worden, zoals in digitale vertragingslijnen, eenvoudige digitale oscilloscopen, etc. Het nadeel van statische RAM's is dat er heel wat onderdelen per geheugencel noodzakelijk zijn, waardoor de capaciteit van de geheugens eerder beperkt is. Het grote voordeel is echter dat statische RAM's erg snel kunnen werken. Vandaar dat dergelijke schakelingen tegenwoordig vaak als zogenoemd "cachegeheugen" worden toegepast. Een snel buffergeheugentje tussen een zeer snelle schakeling (bijvoorbeeld een processor) en het tragere hoofdgeheugen.

Het schema van één cel
In figuur 6/5.3.2-1 wordt de principiële schakeling van één statische geheugencel vergeleken met deze van een dynamische cel. Zeer duidelijk blijkt het groot verschil in aantal noodzakelijke componenten.

LEES OOK:
Hoofdstuk 3/6.13
Hoofdstuk 3/6.17



5.3 Geheugens



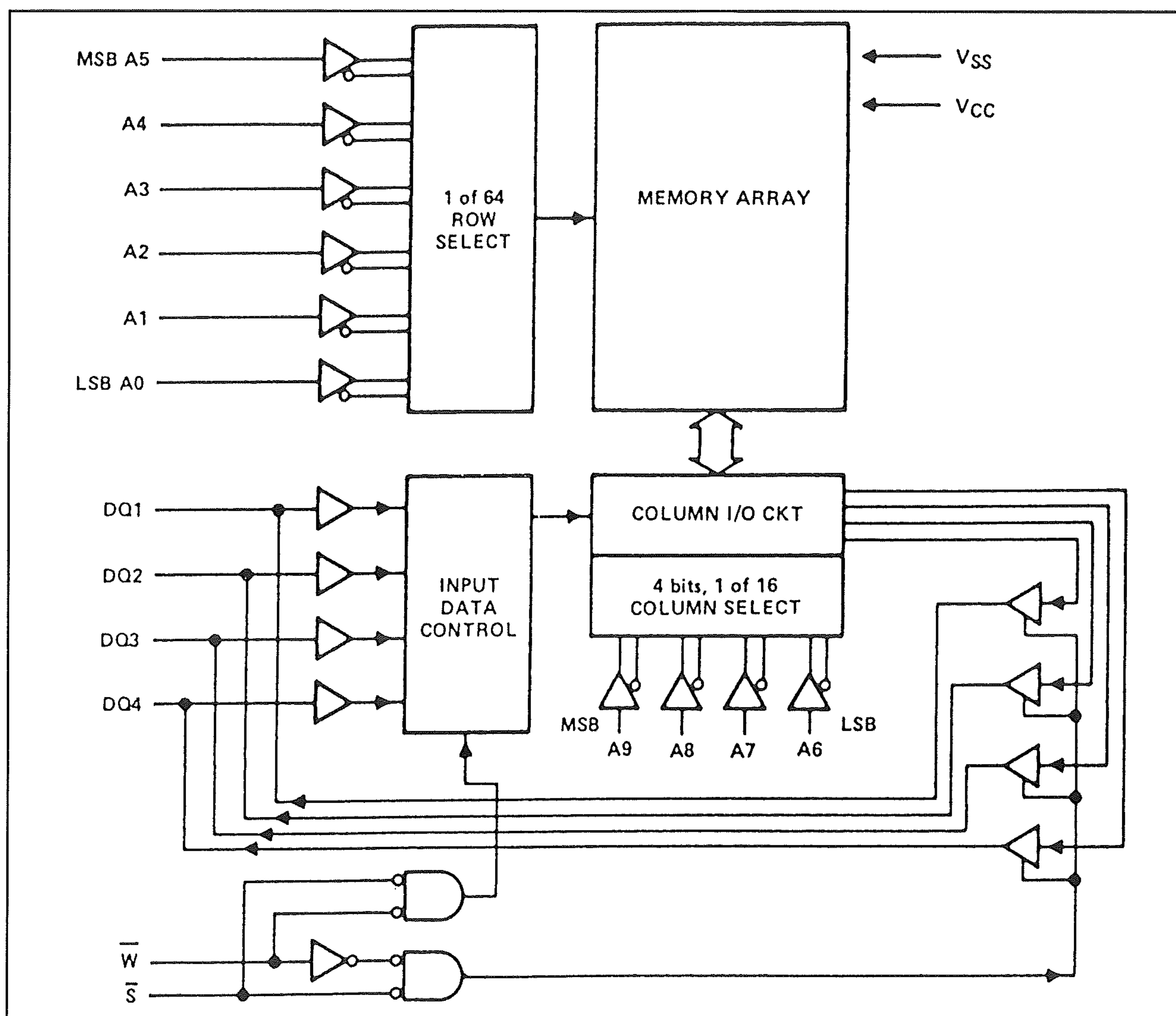
Figuur 6/5.3.2-1: Vergelijking van de principiële opbouw van een statische geheugencel (a) en een dynamische geheugencel (b).

Een typische statische cel bestaat uit zes transistoren, terwijl een dynamische cel slechts één halfgeleider nodig heeft. De eigenlijke flip-flop wordt door middel van twee transistoren afgeschermd van de data. Deze halfgeleiders worden aangestuurd door een woordlijn, waardoor de transistoren gaan geleiden en de gegevens de flip-flop kunnen setten of resetten. Op deze manier is het mogelijk iedere cel afzonderlijk te benaderen.

De geheugenorganisatie

Statische RAM's zijn leverbaar van de meest eenvoudige uitvoeringen met een capaciteit van slechts 16 x 1 bit tot zeer complexe schakelingen met een inhoud van 16 tot 64 kb. Toch is het principe van de geheugenorganisatie voor alle typen identiek. Een typisch intern blokschema van een statisch RAM is getekend in figuur 6/5.3.2-2. De geheugencellen zijn ondergebracht in een array, dat is opgebouwd uit een aantal horizontale en vertikale lijnen. Iedere cel ligt op een knooppunt van deze lijnenmatrix. De horizontale en vertikale lijnen worden via decoders gestuurd vanuit de adres-ingangen. In het getekende voorbeeld bestaat de matrix uit 64 rijen en 16 kolommen, zodat voor de decodering van een horizontale of vertikale lijn respectievelijk 5 en 4 bits noodzakelijk zijn. Vandaar dat in totaal negen adres-lijnen aanwezig moeten zijn. De data-pennen zijn in de meeste gevallen bidirectioneel, hetgeen wil zeggen dat dezelfde pennen worden gebruikt voor het inlezen van nieuwe gegevens en voor het uitlezen van opgeslagen informatie. Vandaar dat een $\overline{W}$-signaal ter beschikking staat, waarmee de schakeling kan worden ingesteld op lezen of schrijven. Tot slot is in de meeste gevallen ook nog een $\overline{S}$-signaal aanwezig. Met deze zogenoemde "chip-select" kan men de volledige schakeling in- of uitschakelen. In de uitgeschakelde toestand worden alle in- en uitgangen naar tri-state gestuurd, zodat de chip als het ware elektronisch niet meer aanwezig is. Op deze manier kan men identieke IC's weer in een grotere externe matrix opnemen en met behulp van een adresdecoder een van de chip's selecteren.

5.3 Geheugens



Figuur 6/5.3.2-2: De typische geheugenorganisatie van een statisch RAM.

In de meeste gevallen is de chip actief als de chip-select "L" wordt gemaakt en staat de chip in lees-modus als de write-enable ingang "H" is.

Enige voorbeelden

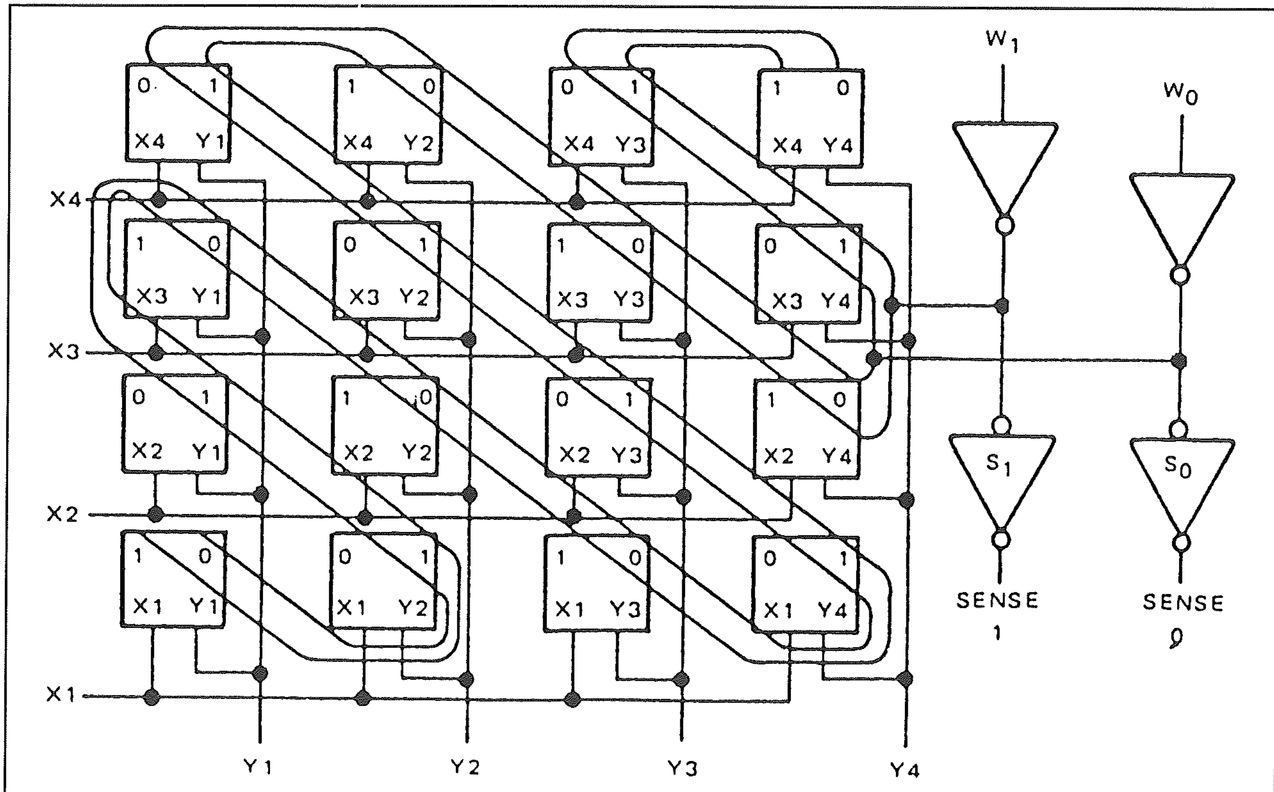
Inleiding

Zoals reeds geschreven worden statische RAM's aangeboden met capaciteiten van 16 bit tot 64 kb. Het zal duidelijk zijn dat men voor het besturen van 16 kb iets meer moet doen dan voor het aanspreken van 16 bit! Vandaar dat in de volgende paragraafjes enige typische vertegenwoordigers van de statische RAM-familie worden voorgesteld.

7481, 16 b x 1

De 7481 bevat een array van 16 flip-flop's en twee schrijf-versterkers die onderling zodanig zijn verbonden dat een "scratch-pad" geheugen met directe adressering ontstaat.

5.3 Geheugens



Figuur 6/5.3.2-3: Intern blokschema van de 16 bit diepe 7481.

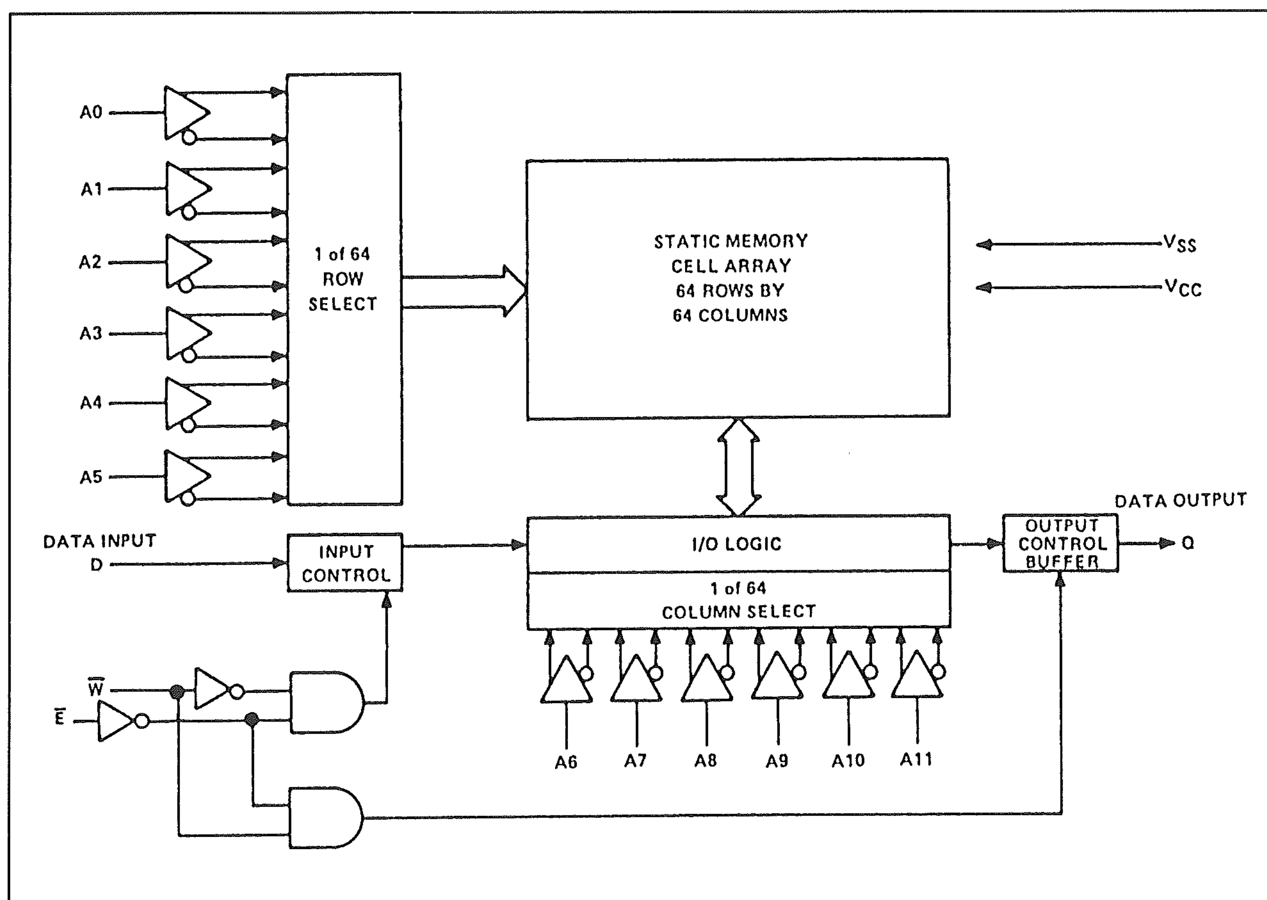
De ingangen zijn met diode-clamp's uitgevoerd. De flip-flop's zijn in een 4 x 4 matrix geplaatst waarvan met 4 X-adreslijnen en 4 Y-adreslijnen telkens één adres geselecteerd kan worden.
Het intern blokschema van de 7481 is getekend in figuur 6/5.3.2-3.
Om na te gaan of een logische 1 of een 0 is opgeslagen is het nodig om te weten welke transistor van een flip-flop geleidt. Alle 16 "logic 1-sensing" uitgangen zijn verbonden met de S1-versterker en alle "logic 0-sensing" uitgangen met de S0-versterker. Een flip-flop wordt geselecteerd door zowel de X- als de Y-adreslijn "H" te maken. Door het matrix-karakter van de schakeling blijft van de overige flip-flop's tenminste één adreslijn "L" en zal in die flip-flop's geen verandering optreden. In de geselecteerde flip-flop zal de stroom door de geleidende transistor echter op één van de sense-versterkers terecht komen, waardoor de uitgang van die versterker (S1 of S0) "L" wordt.
Om nieuwe data in de flip-flop's op te slaan moet telkens een adres worden gekozen, waarbij een logisch "H" op de juiste schrijf-versterker wordt gezet.
De werking van dit eenvoudig geheugen valt te vergelijken met de werking van de oeroude ferrietkern geheugens. Toch zijn met dergelijke schakelingen ooit geheugens van meerdere tientallen kb samengesteld, bijvoorbeeld voor het opslaan van meetwaarden in meetapparatuur waarmee men de chemische samenstelling van radioactieve mengsels kan bepalen.

2147, 4 kb x 1

De 2147 is een 4.096 bit NMOS statisch geheugen, dat ook verkrijgbaar in CMOS. De schakeling beschikt over een automa-

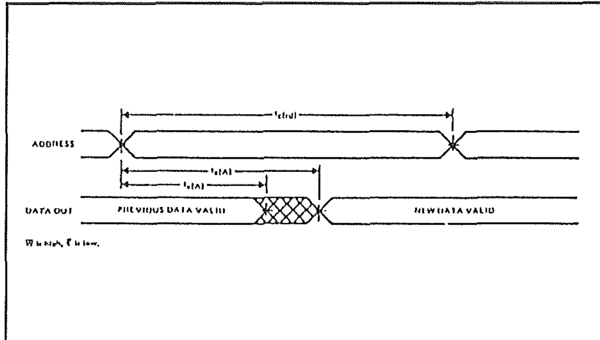
5.3 Geheugens

tische Chip Enable/Power Down functie. Dit IC is een industriële standaard, reden waarom dit type werd uitverkoren voor een nadere studie. Het intern blokschema is getekend in figuur 6/5.3.2-4.
De 12 adreslijnen A0 tot en met A11 dienen om één van de 4.096 1 bit woorden in het geheugen te selecteren. De adresingangen moeten gedurende het schrijven stabiel zijn. De chip enable/power down ($\overline{E}$) aansluiting beïnvloedt de data-in/data-uit pennen en het interne functioneren van de chip zelf. Wanneer $\overline{E}$ = "L" is, is de schakeling operationeel en kan data worden opgeslagen of uitgelezen. Door de $\overline{E}$-ingang "H" te maken (disabled) wordt de chip niet geselecteerd en komt deze automatisch in een standbytoestand waardoor het opgenomen vermogen wordt verminderd (de opgeslagen data blijft dan wel behouden).
Het signaal op de write enable ingang bepaalt of het geheugen in de lees- of de schrijf-mode staat. Is $\overline{W}$ = "H" dan kan data worden uitgelezen; met $\overline{W}$ = "L" wordt de schrijf-mode geselecteerd.
Bij adresveranderingen moet $\overline{W}$ = "H" zijn om opslaan van foutieve data te voorkomen.
In principe kan men de 2147 op twee manieren uitlezen en beschrijven. Het uitlezen kan gebeuren door eerst $\overline{W}$ en $\overline{E}$ respectievelijk "H" en "L" te maken en nadien een geldig adres op de adresingangen te zetten. De timing van deze operatie is getekend in figuur 6/5.3.2-5.

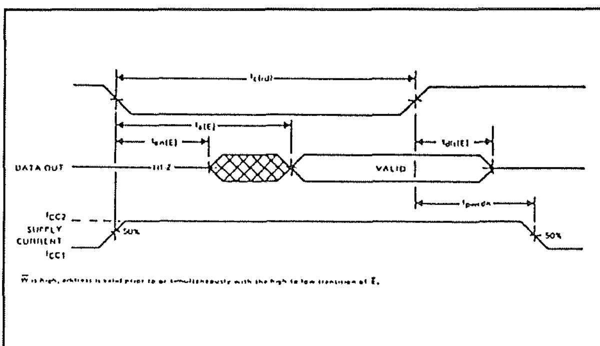


Figuur 6/5.3.2-4: Intern blokschema van de 2147

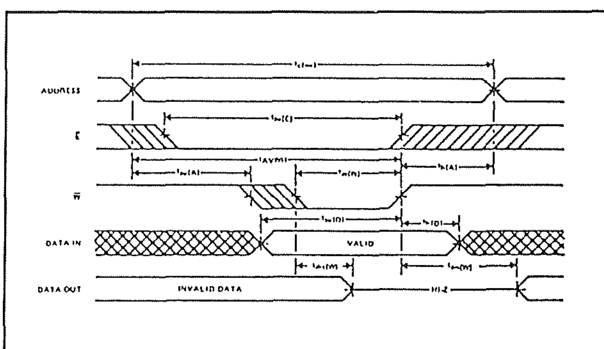
5.3 Geheugens



Figuur 6/5.3.2-5: Het uitlezen van een 2147 door een geldig adres aan te bieden.

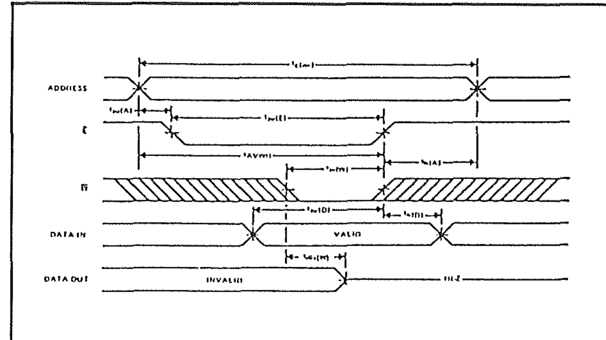


Figuur 6/5.3.2-6: Het lezen van een 2147 door het sturen via de $\overline{E}$.



Figuur 6/5.3.2-7: Het schrijven van een bit in de 2147 op commando van het "L" worden van $\overline{W}$

Men kan echter ook uitlezen door eerst een geldig adres aan te sluiten, $\overline{W}$ "H" te maken en nadien $\overline{E}$ naar "L" te sturen. Op dat moment verschijnen het gegeven op de data-uitgang.



Figuur 6/5.3.2-8: Het schrijven van een bit in de 2147 door het "L" maken van $\overline{E}$.

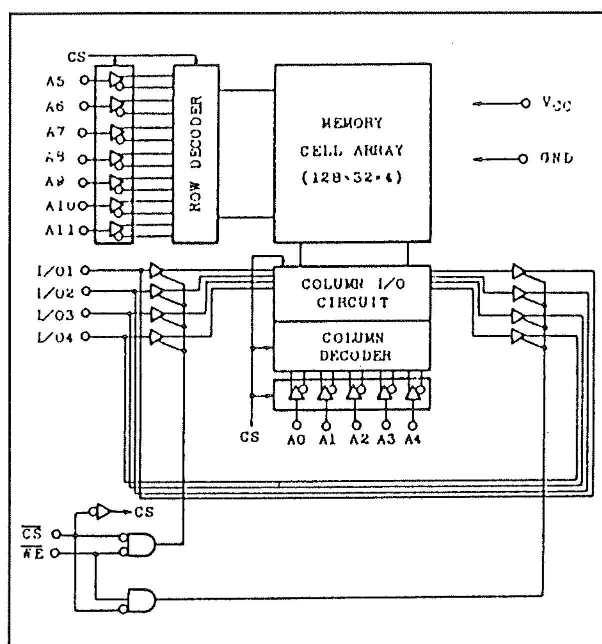
De timing van deze leesactie is getekend in figuur 6/5.3.2-6.
Op dezelfde manier kan men een gegeven schrijven door ofwel $\overline{W}$ ofwel $\overline{E}$ "L" te maken. In beide gevallen moet uiteraard eerst een geldig adres worden aangeboden. De juiste timing van deze twee acties is getekend in de figuren 6/5.3.2-7 en -8.

2068, 4 kb x 4

De twee tot nu toe behandelde schakelingen hebben een breedte van één bit. In de praktijk is dat nogal onhandig en men heeft dus statische RAM's ontworpen die met nibble- of bit-breedte werken. Een typisch voorbeeld van een nibble-RAM is de 2068. Deze kan 4.096 woorden van 4 bit breedte opslaan. Dergelijke schakelingen worden bijvoorbeeld gebruikt als cache-geheugen, dus als buffer tussen een snelle microprocessor en een veel trager hoofdgeheugen.
Het intern blokschema van de 2068 is getekend in figuur 6/5.3.2-9.
De 2068 heeft een Power Down toestand (bij $\overline{CS}$ = "H"), waardoor de opgenomen stroom afneemt tot 20 mA. Met de 12 adres-ingangen A0 tot en met A11 kan één van de 4.096 woorden van 4 bit worden gekozen. Het gekozen adres moet tijdens een schrijf-cyclus stabiel zijn.

5.3 Geheugens

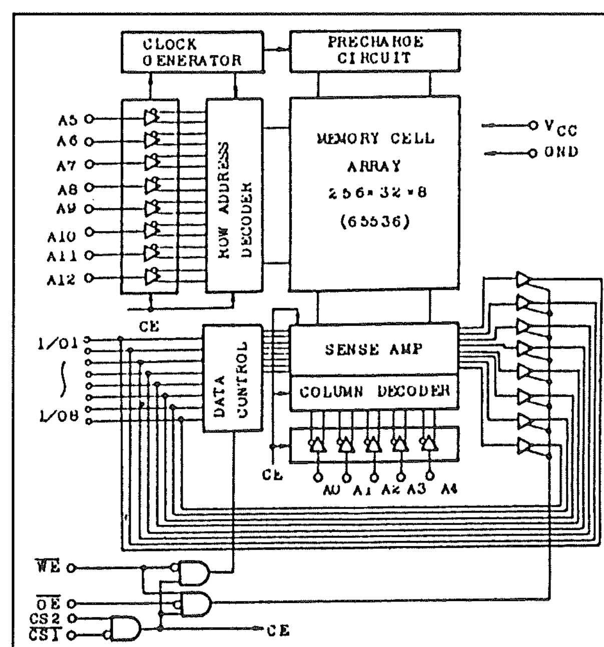
Het Chip-Select signaal $\overline{CS}$ beïnvloedt niet alleen de data in-/uitgangen maar ook het opgenomen vermogen.
Als $\overline{CS}$ = "H" is, komt de 2068 in de Power Down toestand, waarbij de opgenomen stroom daalt tot 20 mA. Met $\overline{CS}$ = "L" is het geheugen geselecteerd en kan er worden gelezen ($\overline{WE}$ = "H") of geschreven ($\overline{WE}$ = "L").



Figuur 6/5.3.2-9: Het intern blokschema van de 2068.

2064, 8 kb x 8

De 2064 is een typische vertegenwoordiger van de byte-brede statische RAM's. Het IC kan 8.192 woorden van 8 bit breedte opslaan in een array van 65.536 geheugencellen. Het intern blokschema is getekend in figuur 6/5.3.2-10. Wanneer het IC niet geselecteerd is ($\overline{CS1}$ = "H", CS2 = "L") komt het automatisch in de Power Down toestand waarbij de voedingsstroom afneemt van 80 mA tot 10 mA. Ondanks de ingebouwde clock-generator werkt de 2064 volledig statisch zodat geen externe clock of refresh signalen nodig zijn. Met de 13 adres-ingangen A0 tot en met A12 kan uit 8.192 woorden met een breedte van 8 bit worden gekozen. De adresingangen moeten tijdens een schrijfcyclus stabiel zijn. De 2064 heeft twee Chip Select-aansluitingen: $\overline{CS1}$ en CS2. Als zowel $\overline{CS1}$ = "L" als CS2 = "H" is, is de chip "enabled" en kan data op het gekozen adres worden opgeborgen (met $\overline{WE}$ = "L"); zijn bij "enable-de" chip $\overline{WE}$ = "H" en $\overline{OE}$ = "L", dan kan data worden gelezen. Zijn zowel $\overline{CS1}$ = "H" en CS2 = "L", dan bevindt het geheugen zich in de Power Down-toestand, waardoor de opgenomen stroomsterkte vermindert van 80 mA naar 10 mA.



Figuur 6/5.3.2-10: Intern blokschema van de 2064.

De Output-Enable-ingang $\overline{OE}$ beïnvloedt de 3-state data-uitgangen. Is de chip geselecteerd en $\overline{WE}$ = "H" dan zijn de data-uitgangen "waar" als bovendien $\overline{OE}$ = "L" is. Is $\overline{OE}$ = "H" dan bevinden de uitgangen zich in de hoog-impedante (zwevende) toestand. Met het write-enable signaal $\overline{WE}$ wordt de richting van het data-transport bepaald.

5.3 Geheugens

1k-typen

1k x 1

merk	typenummer
Fujitsu	MB 8401
Harris	HM 6508
Motorola	MCM 6508
Natsemi	NMC 6508
Natsemi	MM 74C929
NEC	µPD 443
RCA	CDP 6508
RCA	CDP 1821
SGS	M 5508
Toshiba	TC 5508

4k-typen

1k x 4

merk	typenummer
AMD	Am 91L14
AMD	Am 91L24
Fujitsu	MB 8414
Harris	HM 6514
Hitachi	HM 4334
Hitachi	HM 6148
Mitsubishi	M5M 58981
Motorola	MCM 6514
Natsemi	NMC 6514
NEC	µPD 444
OKI	MSM 5114
OKI	MSM 5115
Philips	PCD 5114
RCA	MWS 5114
RCA	MWS 6514A
SGS	M 5514A
Toshiba	TC 5513
Toshiba	TC 5514

1k x 4

merk	typenummer
Cypress	CY 2148
Cypress	CY 2149
Cypress	CY 7C148
Cypress	CY 7C149
Hitachi	HM 6148H
Performance	P 4C148
Performance	P 4C148L
Performance	P 4C149

4k x 1

merk	typenummer
AMD	Am 92L44
Fujitsu	MBM 8404
Harris	HM 6504
Hitachi	HM 4315
Motorola	MCM 6504
Natsemi	NMC 6504
OKI	MSM 5104
SGS	M 5504A
Toshiba	TC 5504

4k x 1

merk	typenummer
Cypress	CY 2147
Cypress	CY 7C147
Fujitsu	MBM 2147
Hitachi	HM 6147
Motorola	MCM 6147
Performance	P 4C147

16k-typen

2k x 8

merk	typenummer
Fujitsu	MB 8417
NEC	µPD 447
OKI	MSM 5127
Toshiba	TC 5516

2k x 8

merk	typenummer
Fujitsu	MB 8416
Harris	HM 65162
Hitachi	HM 6116
Hyundai	HY 6116
Hyundai	HY 61C16
IDT	IDT 6116
Mitsubishi	M5M 5117
Motorola	MCM 65116
Natsemi	MM 6116
NEC	µPD 446
OKI	MSM 5128
Performance	P 4C116
Philips	SBB 6116
RCA	CDM 6116
SGS	M 5517A
Sharp	LH 5128
SMOS	SRM 2016
Sony	CXK 5814
SSS	SCM 6116
Toshiba	TC 5517

2k x 8

merk	typenummer
Fujitsu	MB 8417
Harris	HM 65172
Hitachi	HM 6117
RCA	CDM 6117
SGS	M 5516A
SMOS	CDM 6117
Toshiba	TC 5516

2k x 8

merk	typenummer
Fujitsu	MB 8418
Hitachi	HM 6117
Mitsubishi	M5M 5118
NEC	µPD 449
OKI	MSM 5129
RCA	CDM 6118
SMOS	SRM 2018
Toshiba	TC 5518

4k x 4

merk	typenummer
Cypress	CY 7C168
Fujitsu	MB 81C68
Hitachi	HM 6168
IDT	IDT 6168
Inmos	IMS 1423
Mitsubishi	M5M 21C68
Motorola	MCM 6168
Performance	P 4C168
Performance	P 4C169
Sony	CXK 5416

64k-typen

8k x8 (0,6 inch)

merk	typenummer
AMD	Am 99C88
Cypress	CY 7C185
Cypress	CY 7C186
Fujitsu	MB 8464
Harris	HM 65642
Hitachi	HM 6264
Hyundai	HY 6264
IDT	IDT 7164
Mitsubishi	M5M 5164
Motorola	MCM 6164
Natsemi	MM 6164
NEC	µPD 4464
OKI	MSM 5164
Performance	P 4C164
RCA	CDM 6264
Sony	CXK 5865
Toshiba	TC 5564

8k x 8 (0,6 inch)

merk	typenummer
EDI	8808A, 8808
Harris	HM 8808A
Harris	HM 8808
IDT	IDT 7M864
IDT	IDT 8M864
Mitsubishi	M5M 5165
NEC	µPD 4364
OKI	MSM 5165
Toshiba	TC 5565

64k x 1 (0,3 inch)

merk	typenummer
Fujitsu	HB 81C71
Hitachi	HM 6287
Inmos	IMS 1600
NEC	µPD 4361
Toshiba	TC 5562

256k-typen

32k x 8

merk	typenummer
Hitachi	HM 62256
NEC	µPD 43256

Figuur 6/5.3.2-11: Equivalentenlijst van statische RAM's in CMOS-technologie.

Met $\overline{WE}$ = "H" wordt gelezen en met $\overline{WE}$ = "L" wordt geschreven (als de chip enabled is).

Equivalentenlijst

Inleiding

Er zijn in de loop der jaren heel wat statische RAM's op de markt gebracht. De meesten hebben echter de tand des tijds niet doorstaan en zijn verzonken in het naamloze moeras der schone perspectieven. De markt heeft zich gestabiliseerd rond enige tientallen standaarden, die door zowat alle IC-fabrikanten onder de een of andere codering op de markt worden gebracht. Statische RAM's worden op dit moment hoofdzakelijk gefabriceerd in NMOS- en CMOS-technologie.

Equivalentenlijst CMOS

In figuur 6/5.3.2-11 is een equivalentenlijst gegeven van de meest toegepaste statische RAM's in CMOS-technologie.

Type-beschrijving

Op de volgende pagina's zijn de aansluitgegevens van de meest toegepaste statische RAM's op numerieke volgorde opgenomen. Omdat de meeste statische RAM's volgens hetzelfde principe werken is het niet noodzakelijk de interne blokschema's of logische symbolen te publiceren.

Naast het typenummer wordt de geheugenstructuur vermeld. "4.095 x 4" wil zeggen dat de RAM 4.096 woorden van ieder 4 bit breedte kan opslaan. "128 x 1" wil zeggen dat het IC 128 woorden van één bit kan opbergen.

Coderingen

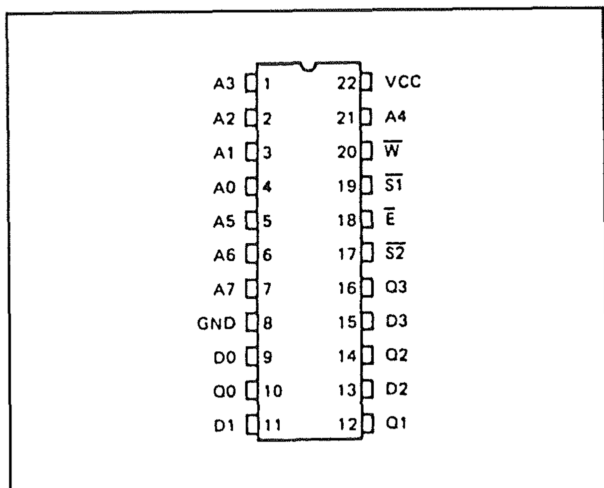
Naast de adres-ingangen, die steeds met de codering "A" worden aangeduid en de data-pennen, die met "D" worden gecodeerd als het ingangen zijn en met "Q" als het uitgangen zijn, hebben de meeste RAM geheugens nog enige andere aansluitingen.

- Data in- en uitgangen
  Als de chip beschikt over gemeenschappelijke data in- en uitgangen worden deze gecodeerd met "I/O" of "DQ".
- Chip enable
  Met deze ingang "E" of "CE" kan men de adres-code die door een processor via de adres-bus wordt aangeboden, overnemen in het interne adresregister van de RAM. Deze ingang is meestal actief op een positieve of negatieve flank van het signaal. Na het aanleggen van dit signaal zal de RAM de bij het adres horende data op zijn uitgangen zetten.
- Chip select
  Met deze ingang, die soms meervoudig is uitgevoerd en meestal wordt gecodeerd met "S" of "SC", kan men de gehele chip "uitschakelen". De uitgangen gaan naar tri-state en er kunnen geen adresgegevens worden ingelezen.
- Output enable
  Deze ingang is soms aanwezig en wordt gecodeerd met "G" of "OE". Met deze ingang kan men alleen de uitgangen van de chip naar tri-state schakelen, maar de adressering blijft werken. Soms heeft deze ingang echter ook invloed op de interne vermogenshuishouding van het IC.
- Write enable
  Deze met "W" of "WE" gekarakteriseerde ingang zet de RAM in de lees- of de schrijfmodus.

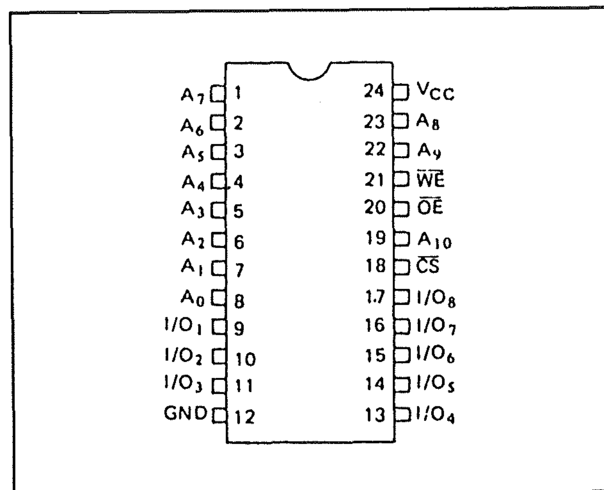
5.3 Geheugens

- V_{CC}
  Voedingsspanning, meestal +5 V.
- GND, V_{SS}
  Massa.

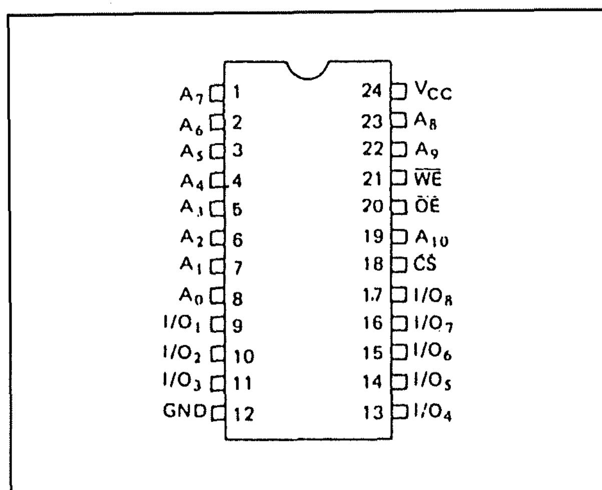
5.3 Geheugens



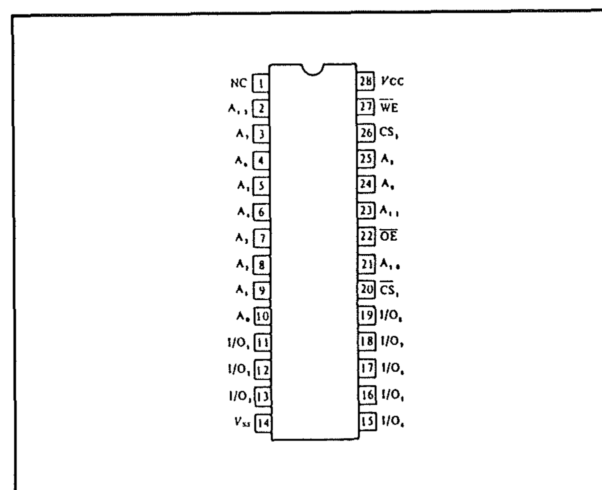
1822 256 x 4



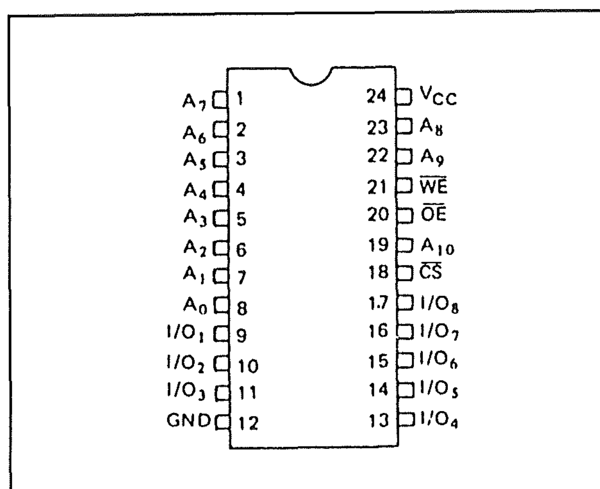
2018 2.048 x 8



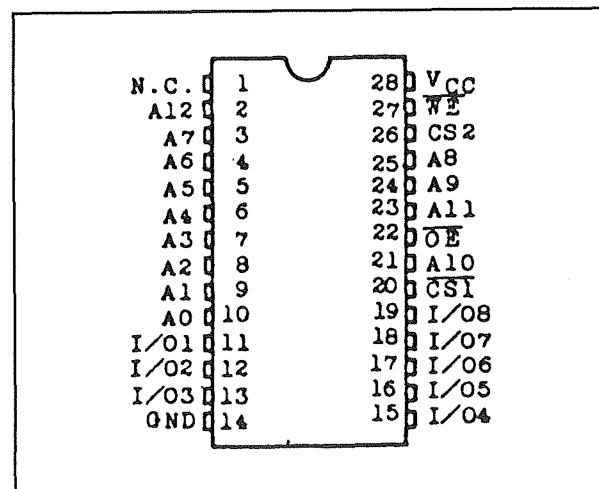
2015 2.048 x 8



2063 8.192 x 8

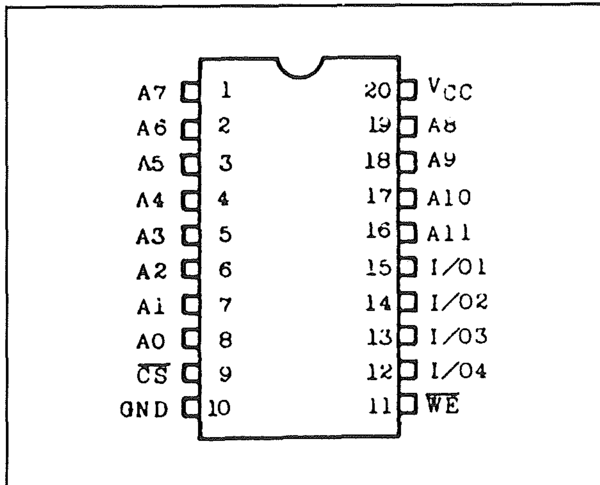


2016 2.048 x 8

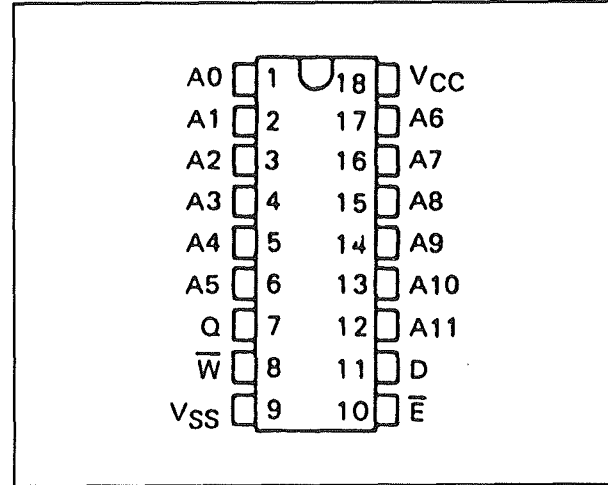


2064 8.192 x 8

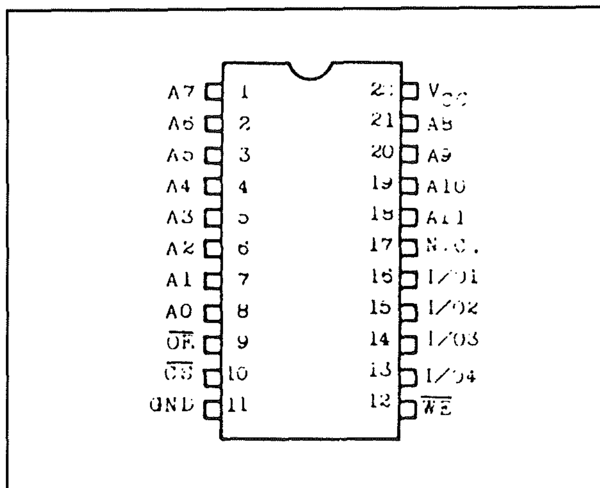
5.3 Geheugens



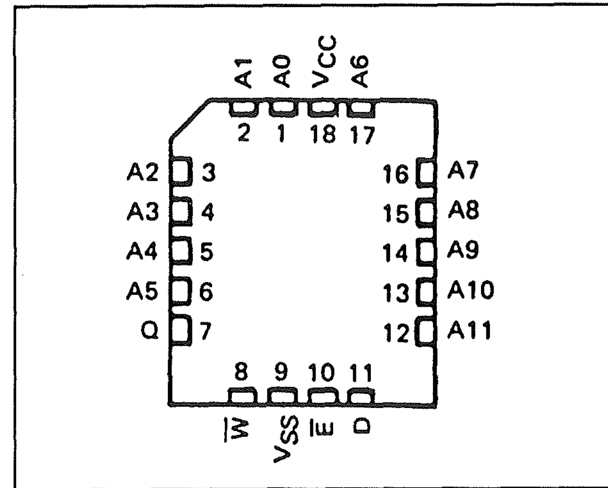
2068 4.096 x 4



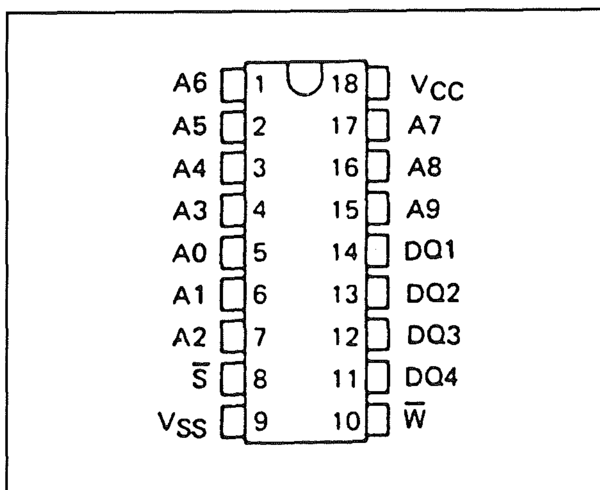
2147 4.096 x 1



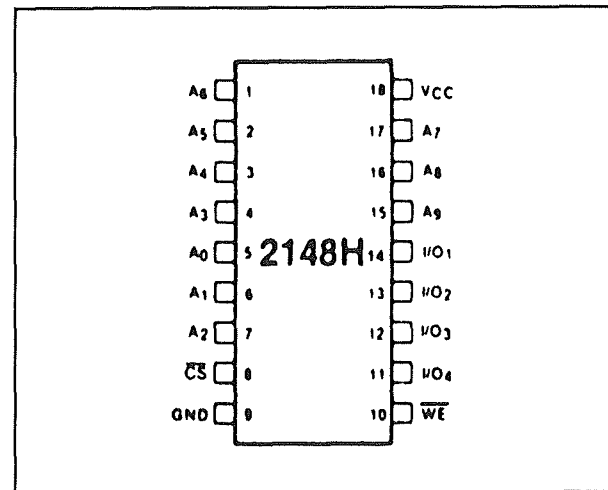
2078 4.096 x 4



2147 4.096 x 1

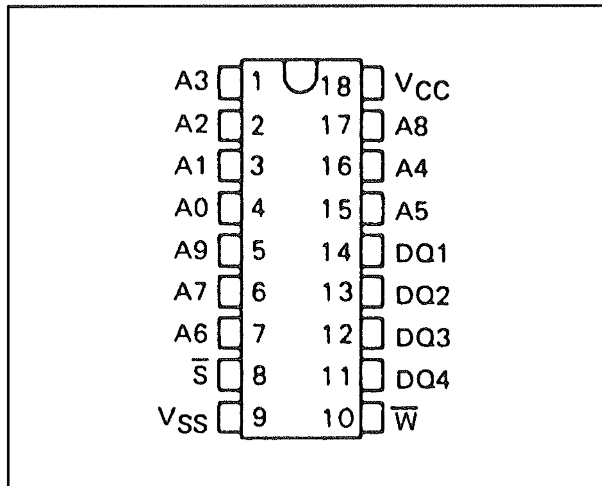


2114 1.024 x 4

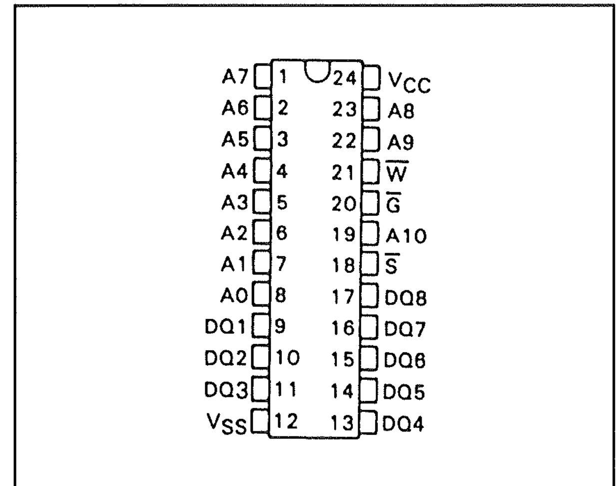


2148 1.024 x 4

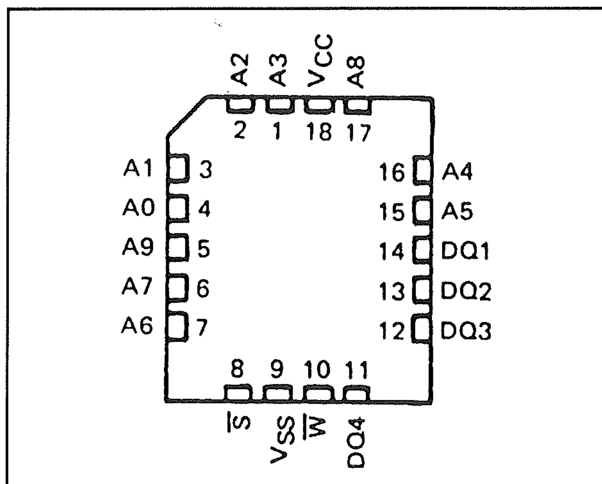
5.3 Geheugens



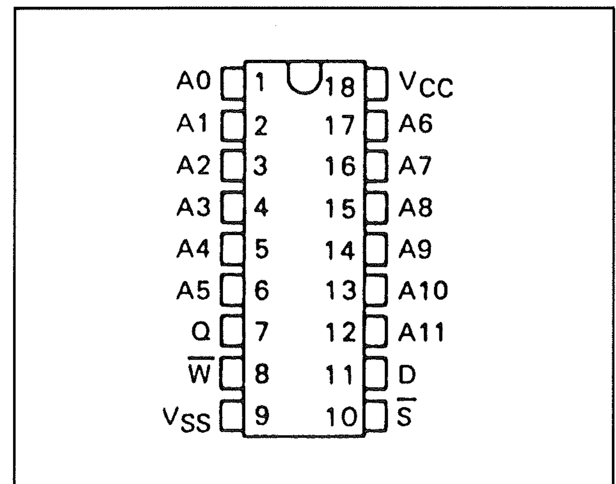
2149 1.024 x 4



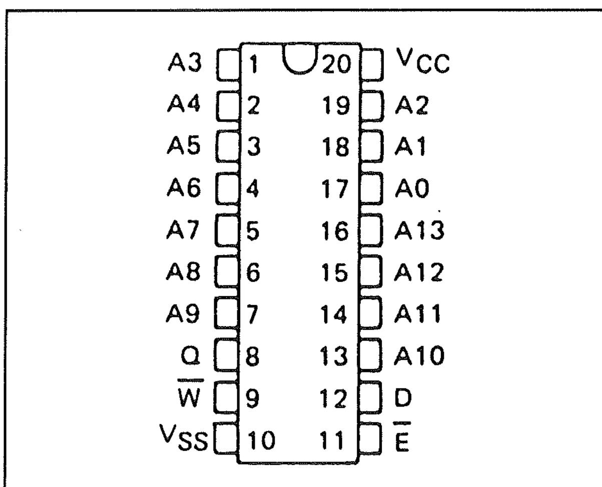
4016 2.048 x 8



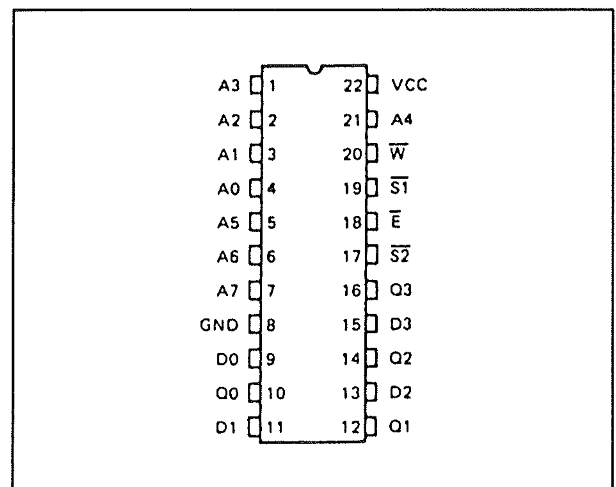
2149 1.024 x 4



4044 4.096 x 1

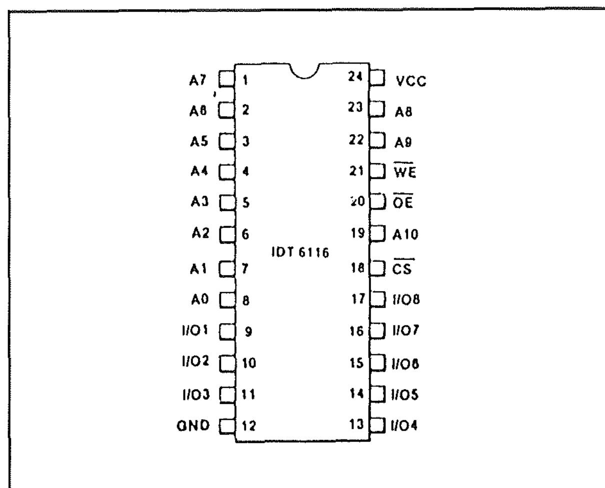


2167 16.384 x 1

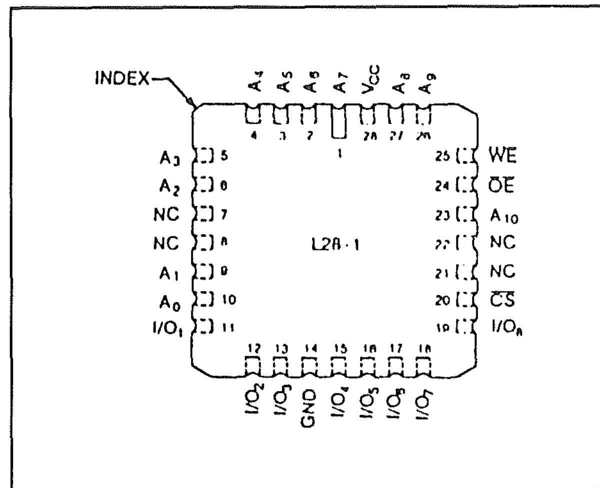


TC5501 256 x 4

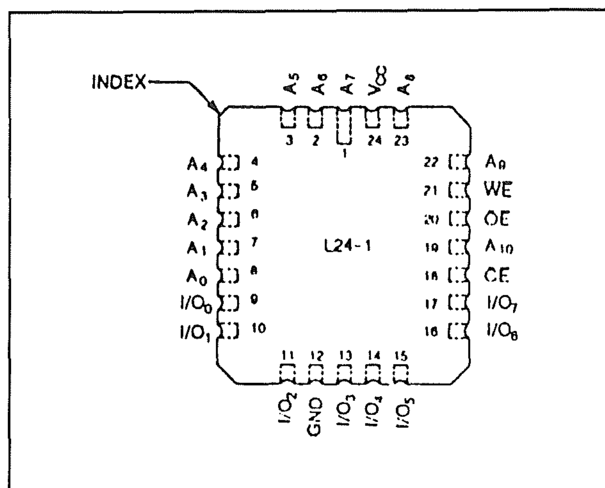
5.3 Geheugens



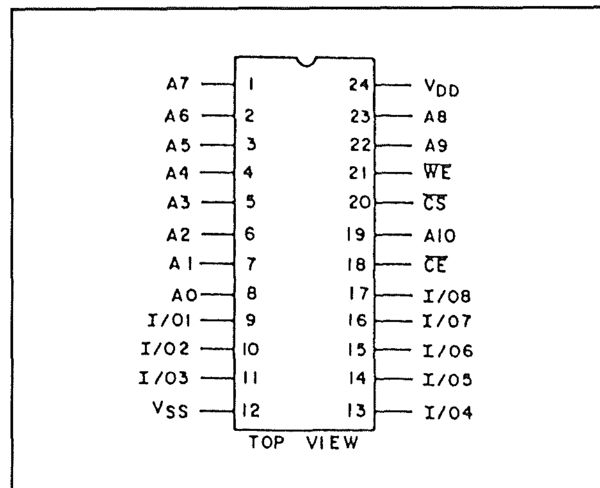
6116 2.048 x 8



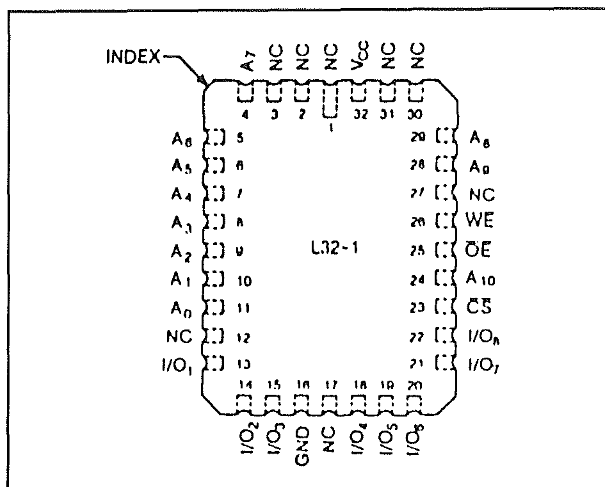
6116 2.048 x 8



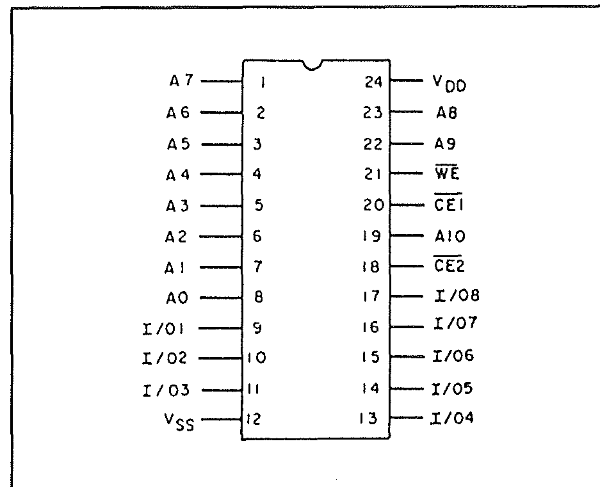
6116 2.048 x 8



6117 2.048 x 8

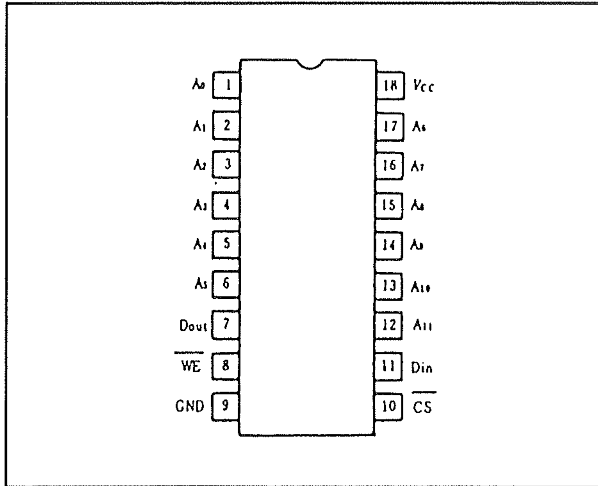


6116 2.048 x 8

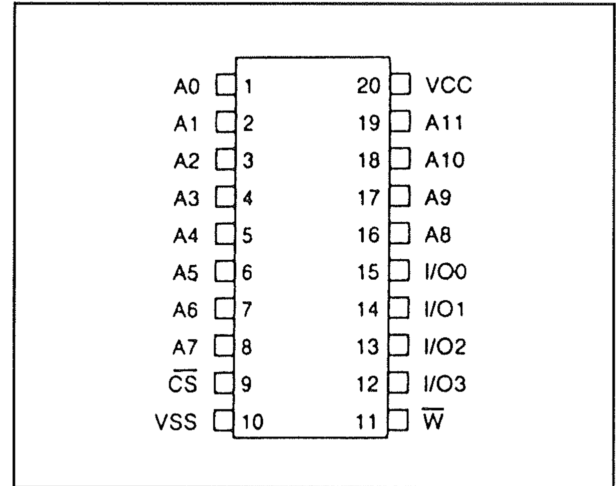


6118 2.048 x 8

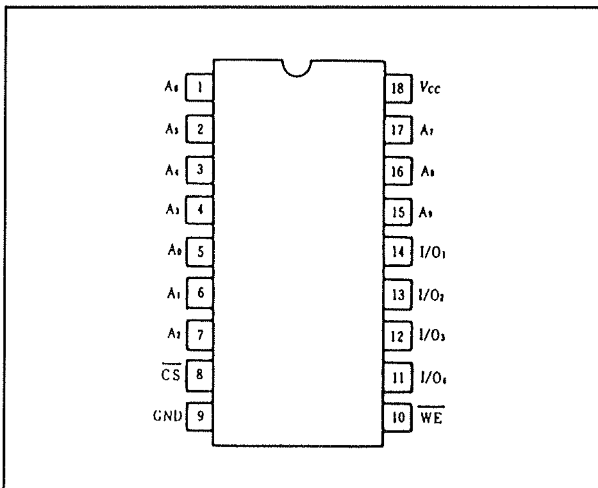
5.3 Geheugens



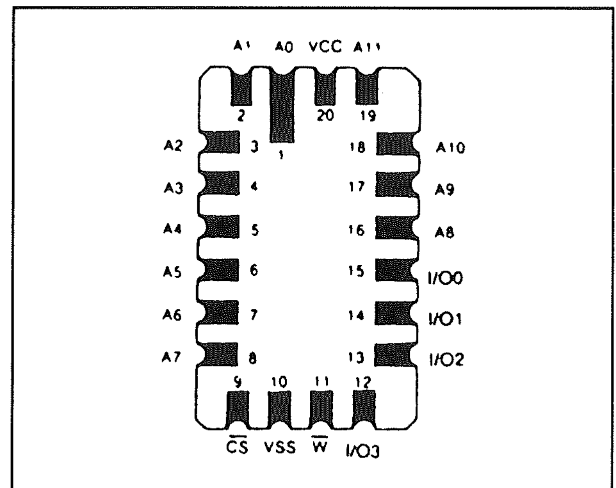
6147 4.096 x 1



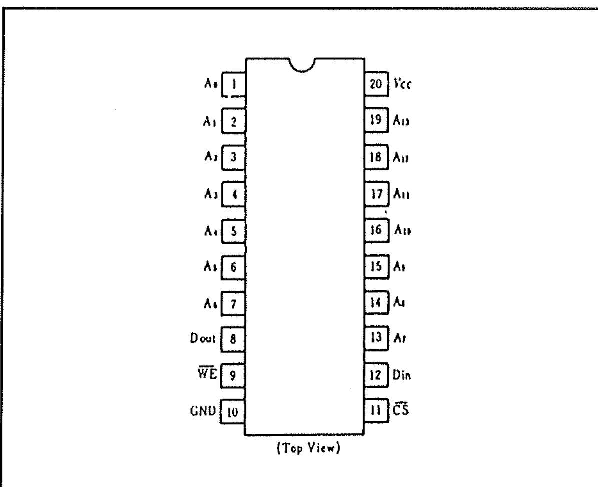
6168 4.096 x 4



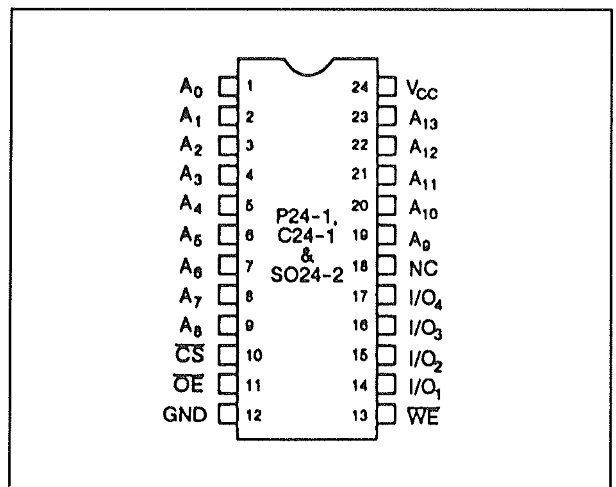
6148 1.024 x 4



6168 4.096 x 4

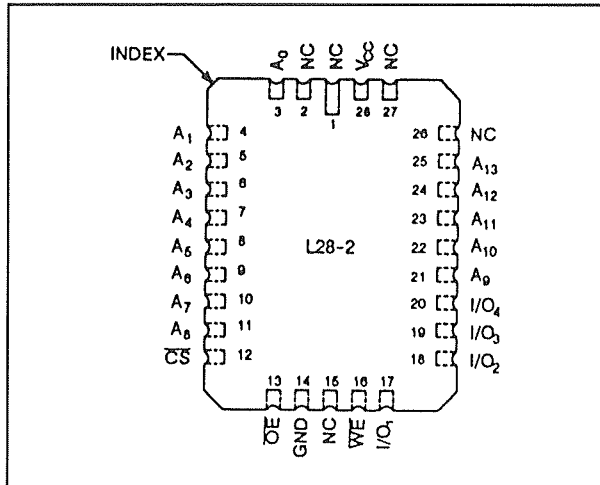


6167 16.384 x 1

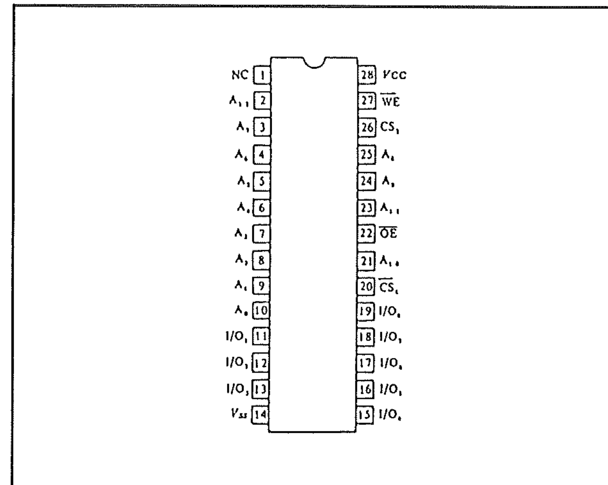


6198 16.384 x 4

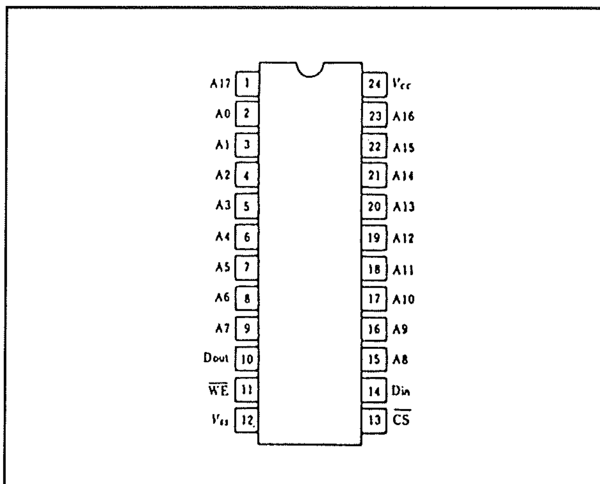
5.3 Geheugens



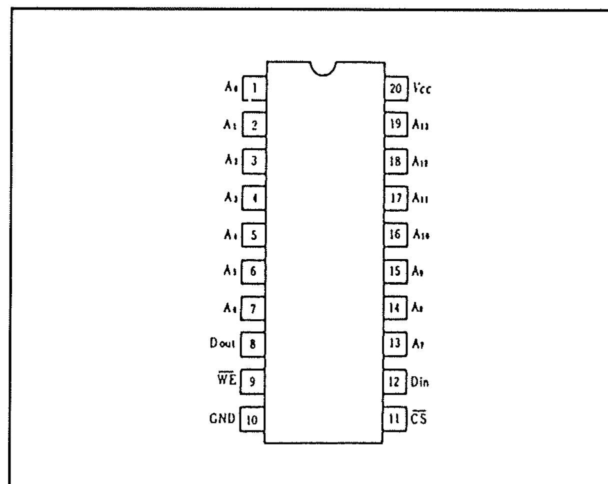
6198 16.384 x 4



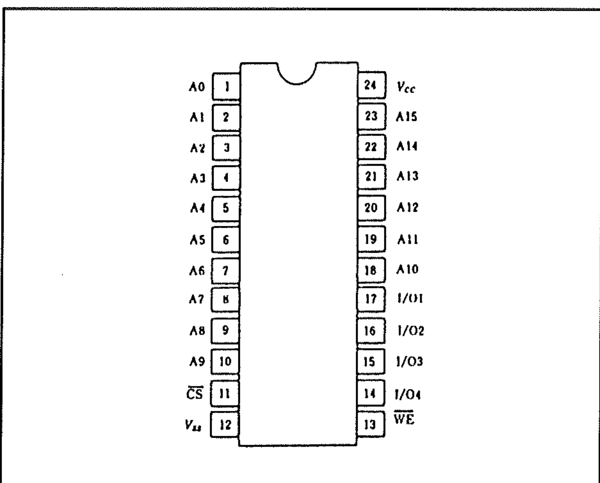
6264 8.192 x 8



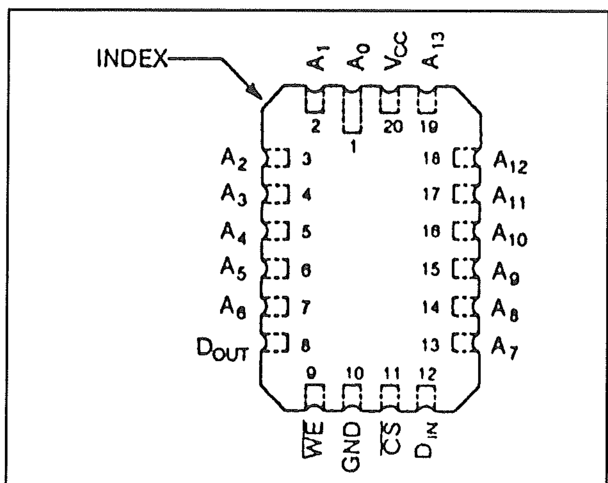
6207 262.144 x 1



6267 16.384 x 1

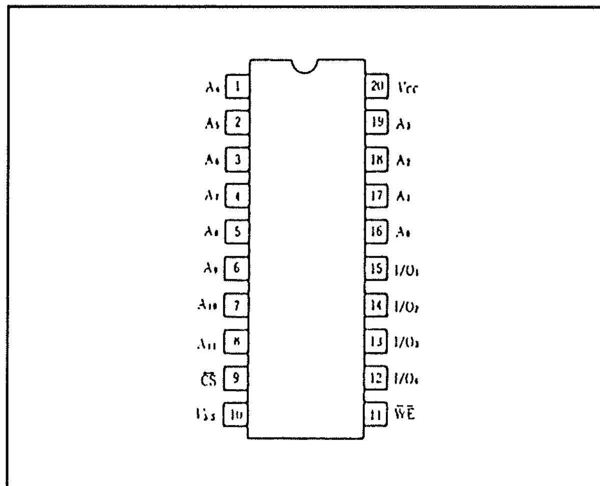


6208 65.536 x 4

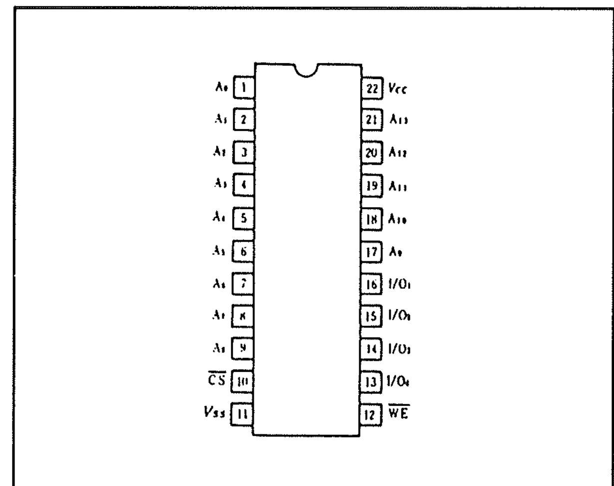


6267 16.384 x 1

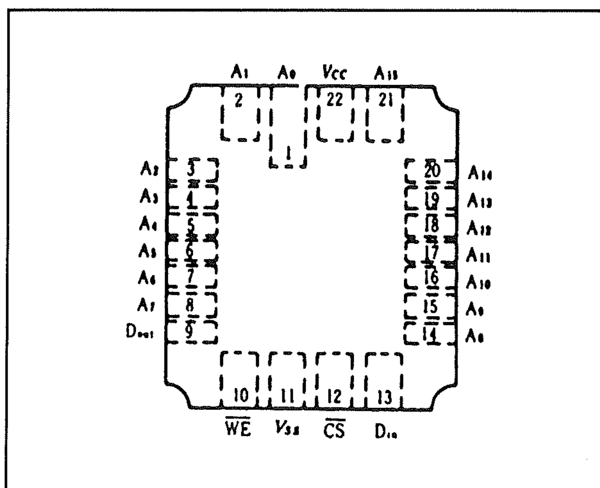
5.3 Geheugens



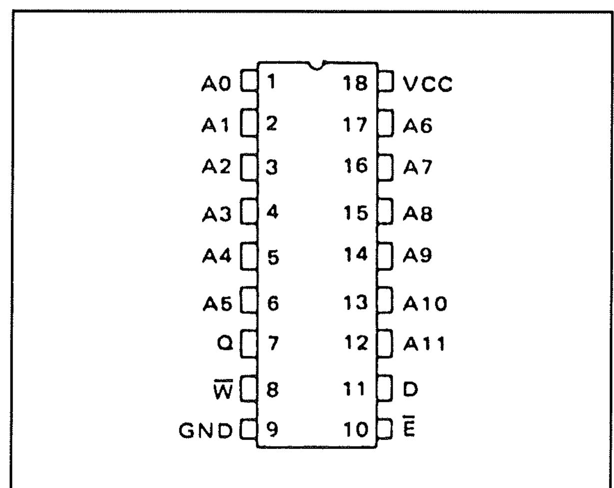
6268 4.096 x 4



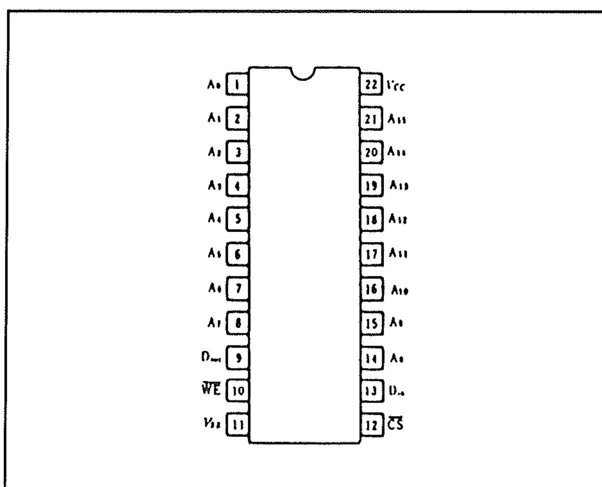
6288 16.384 x 4



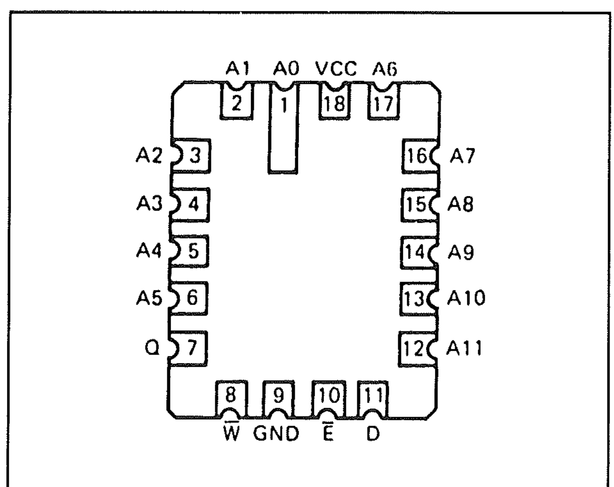
6287 65.536 x 1



6504 4.096 x 1

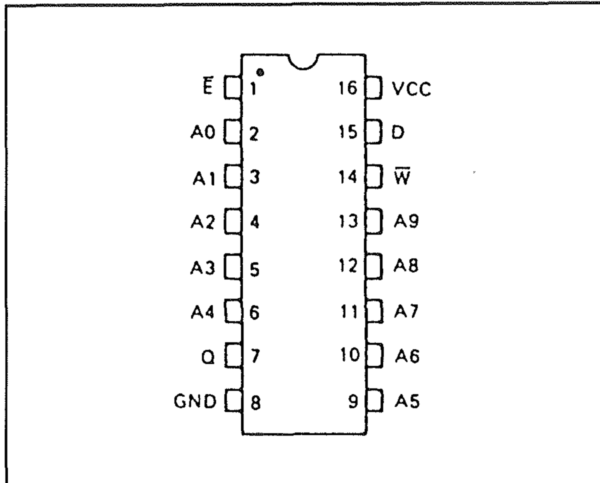


6287 65.536 x 1

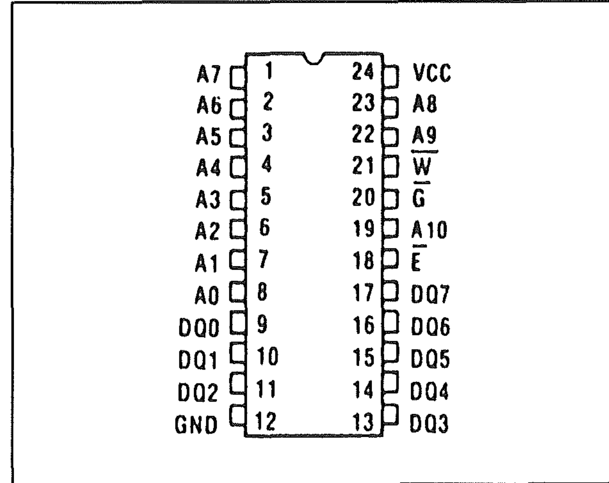


6504 4.096 x 1

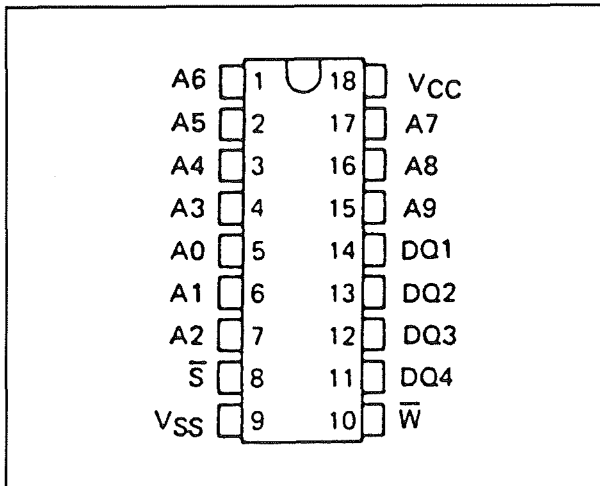
5.3 Geheugens



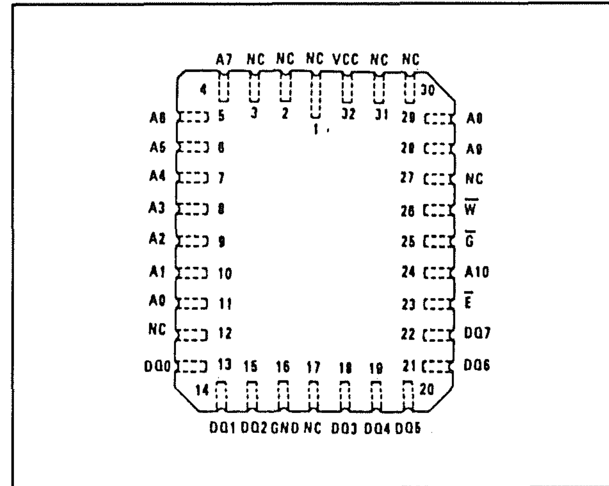
6508 1.024 x 1



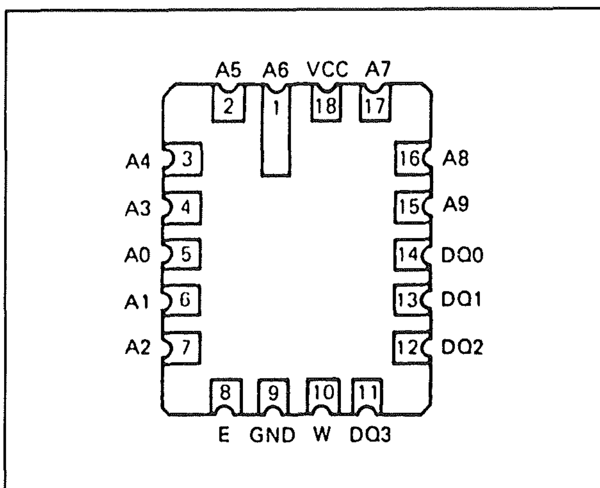
6516 2.048 x 8



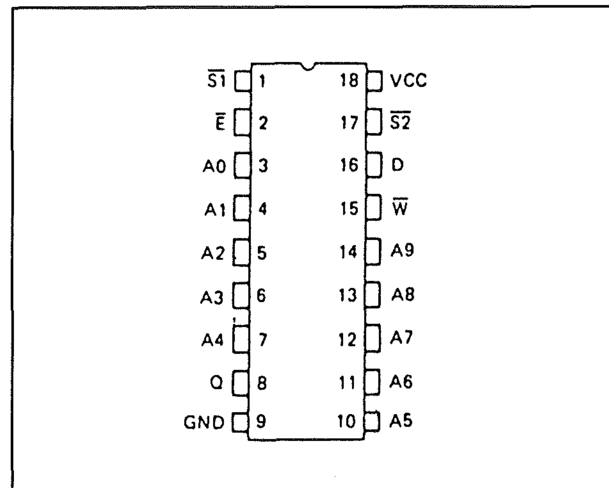
6514 1.024 x 4



6516 2.048 x 8

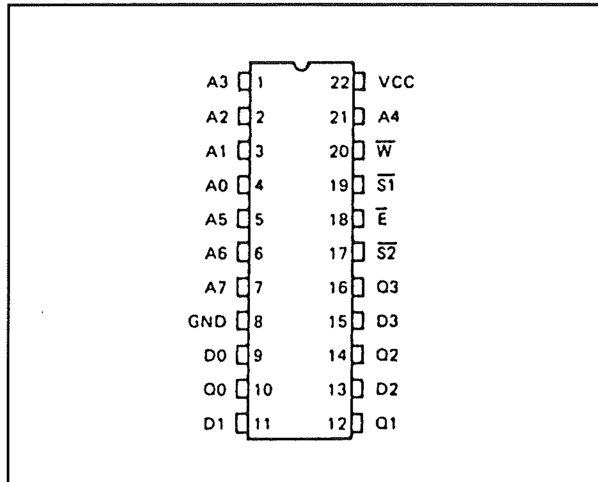


6514 1.024 x 4

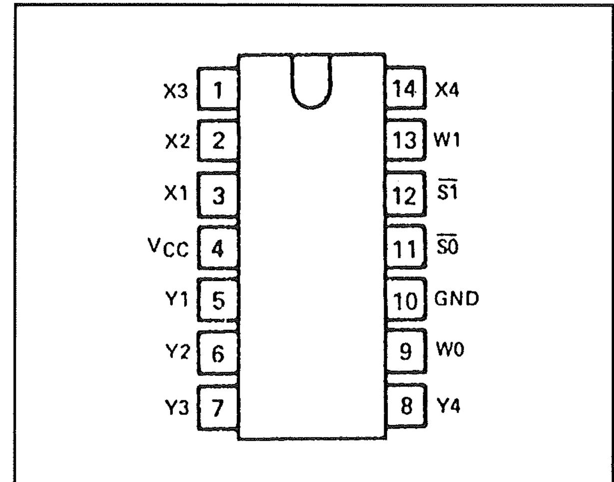


6518 1.024 x 1

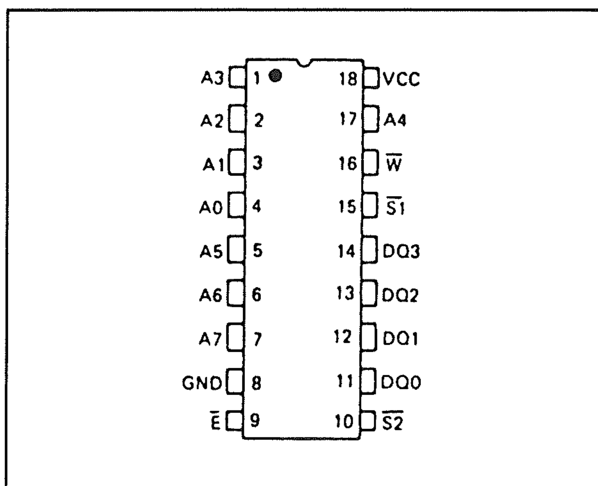
5.3 Geheugens



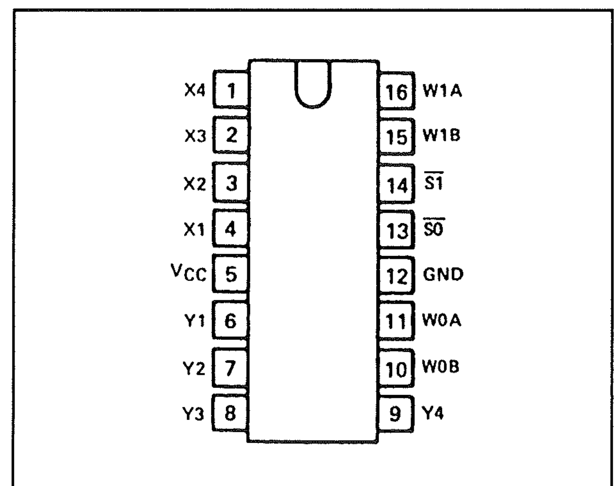
6551 256 x 4



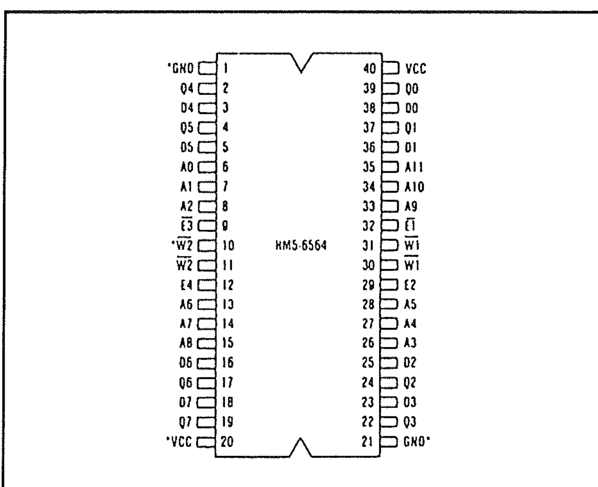
7481 16 x 1



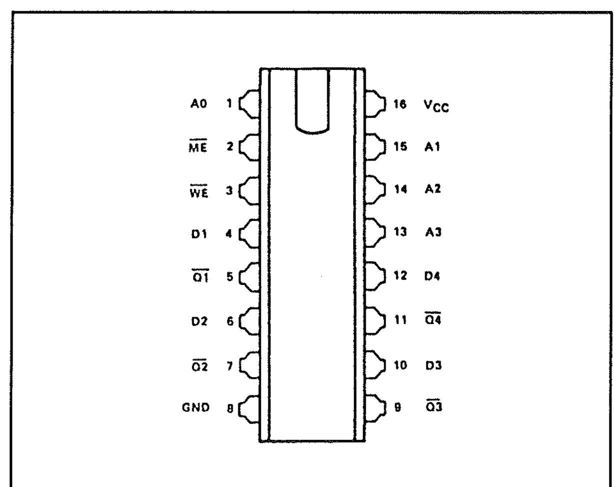
6561 256 x 4



7484 16 x 1

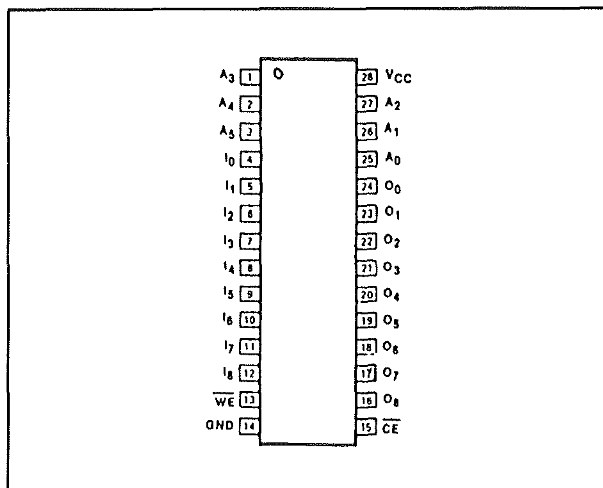


6564 8.192 x 8

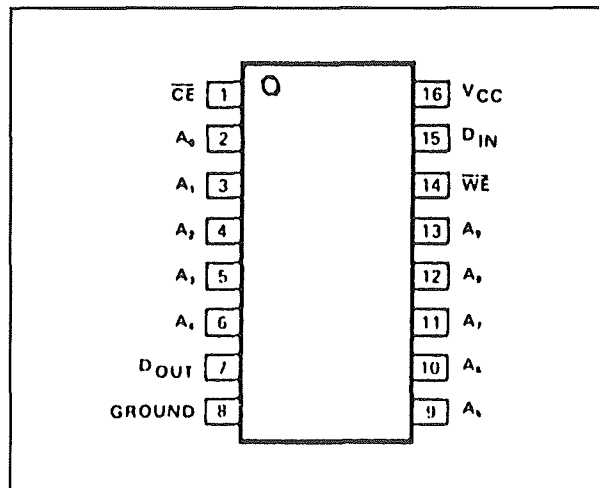


7489 16 x 4

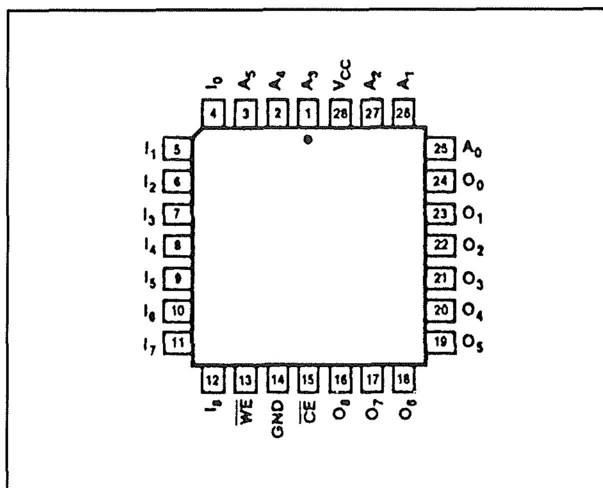
5.3 Geheugens



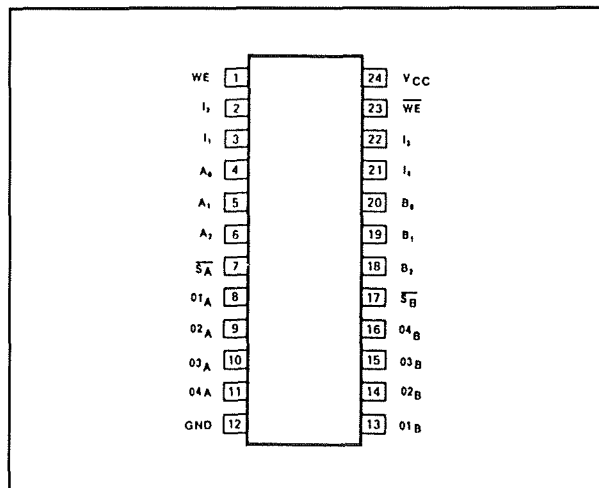
82S09 64 x 9



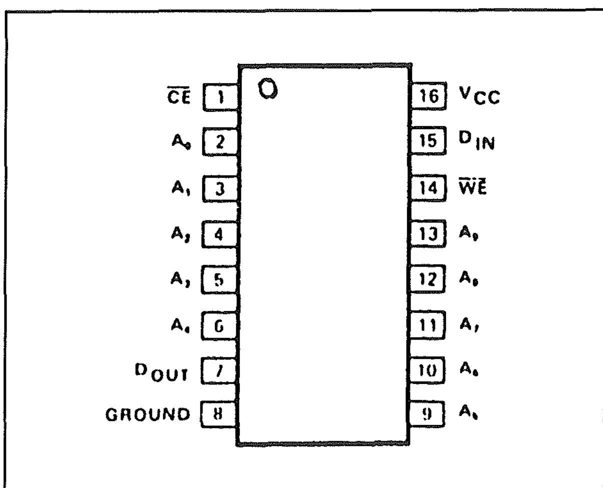
82S11 1.024 x 1



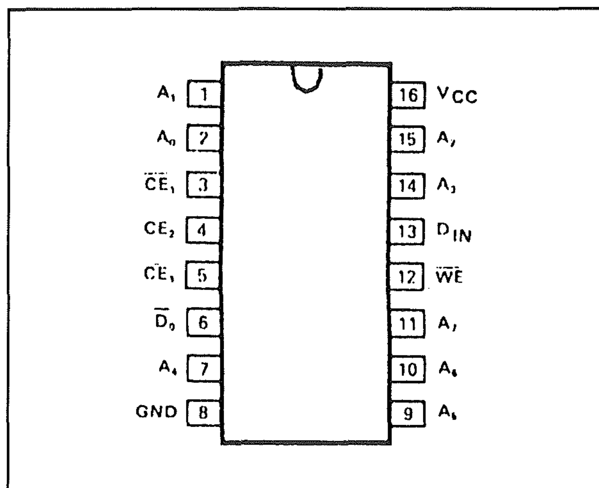
82S09 64 x 9



82S12 8 x 4

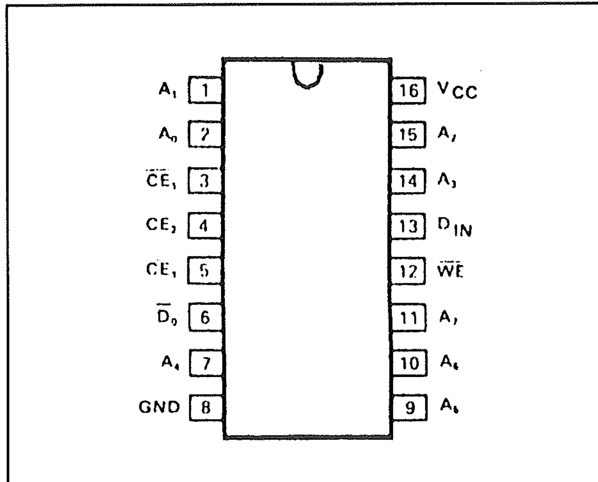


82S10 1.024 x 1

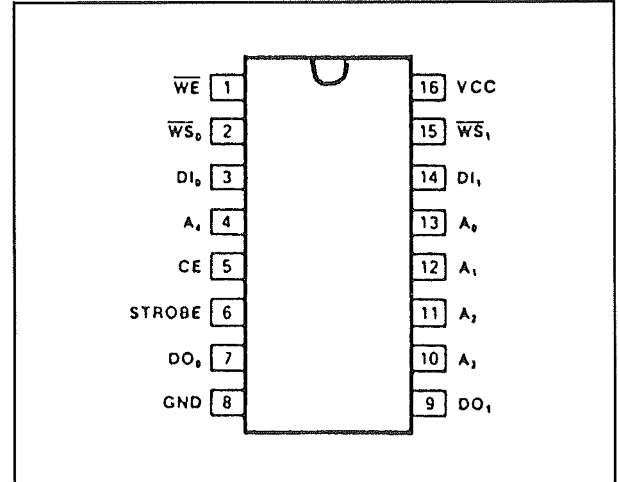


82LS16 256 x 1

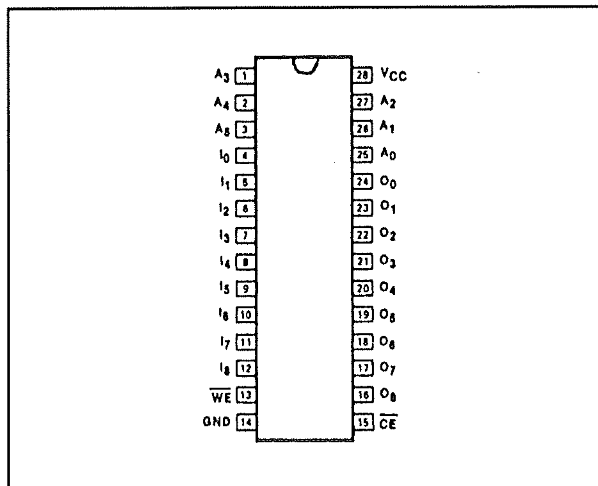
5.3 Geheugens



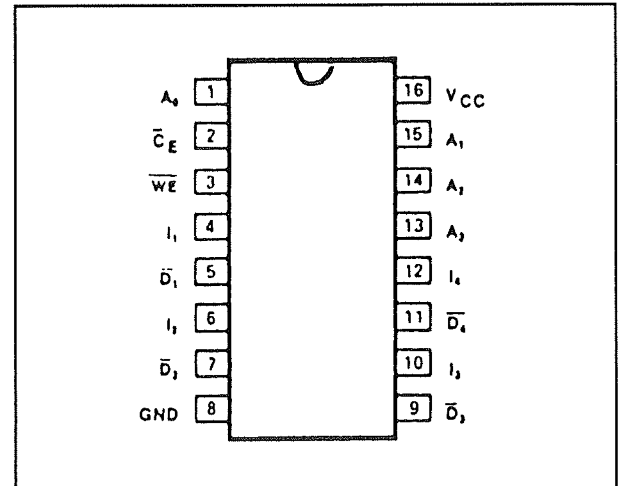
82S17 256 x 1



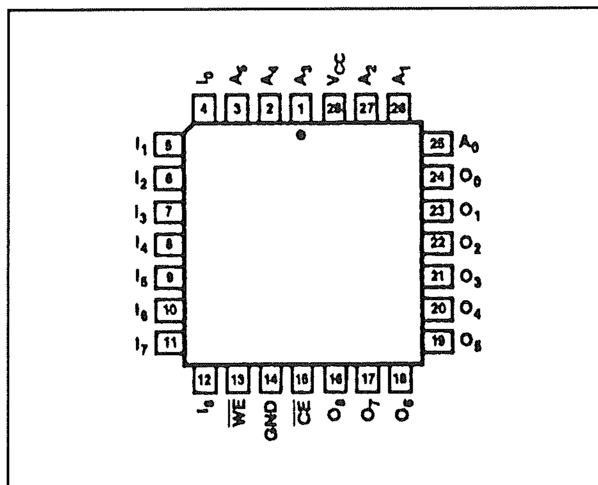
82S21 32 x 2



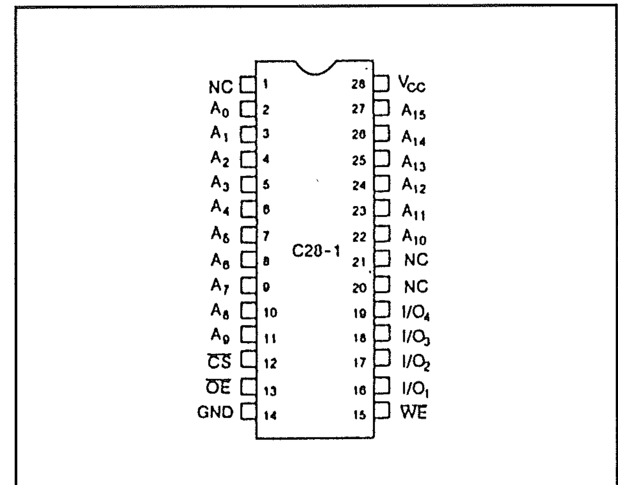
82S19 64 x 9



82S25 16 x 4

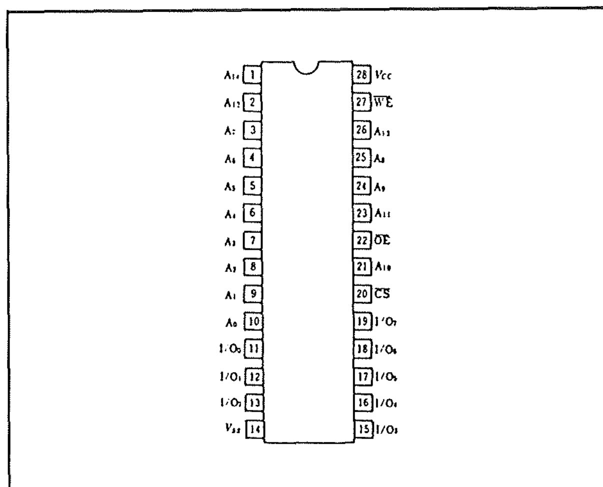


82S19 64 x 9

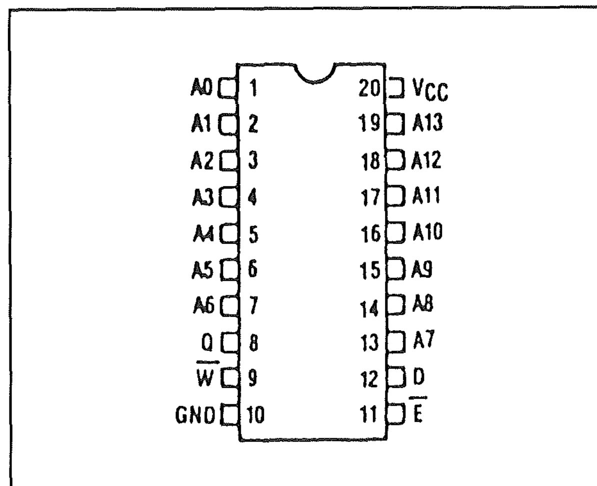


61298 65.536 x 4

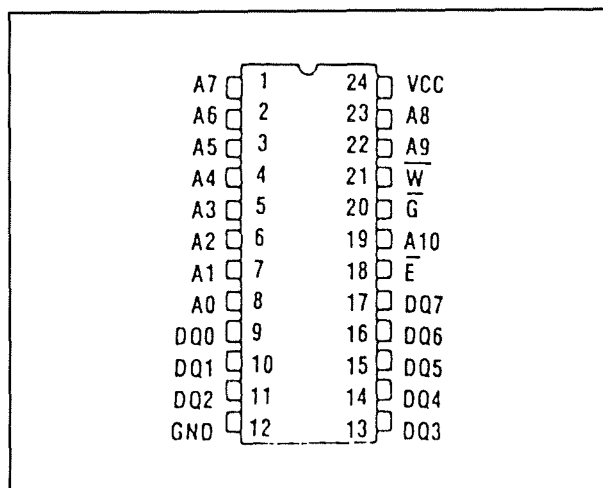
5.3 Geheugens



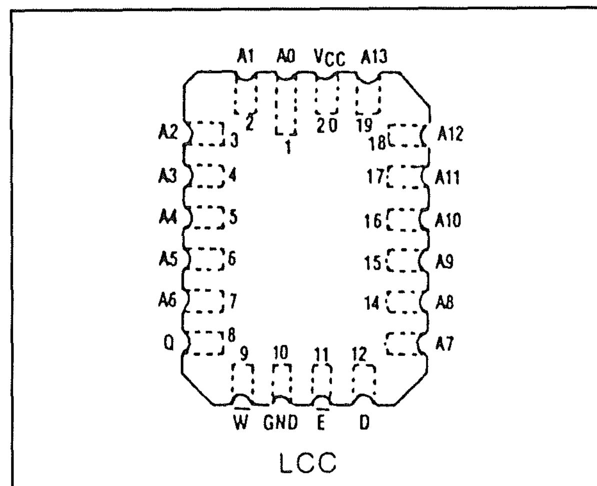
62256 32.768 x 8



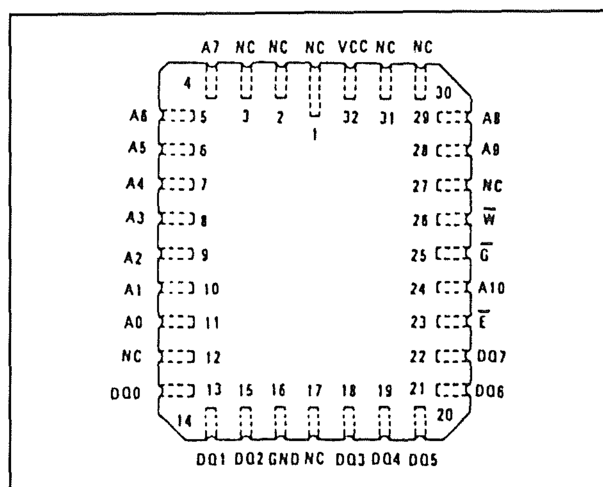
65262 16.384 x 1



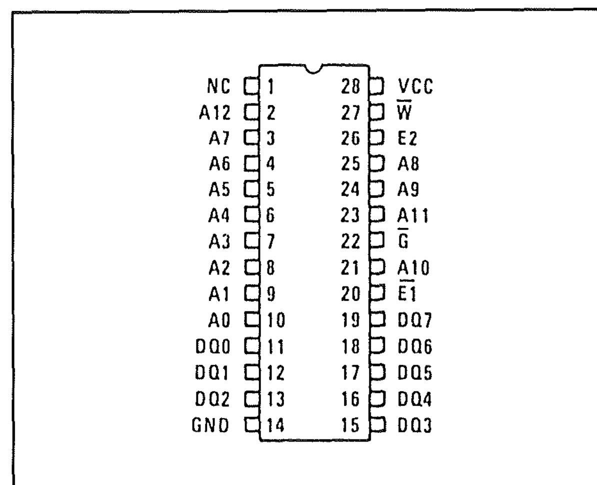
65162 2.048 x 8



65262 16.384 x 1

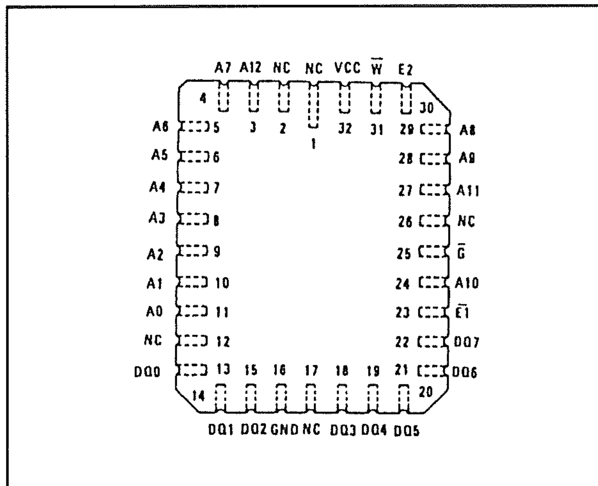


65162 2.048 x 8

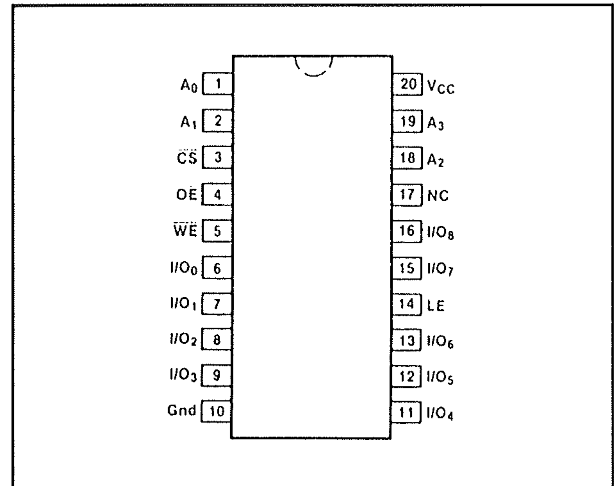


65642 8.192 x 8

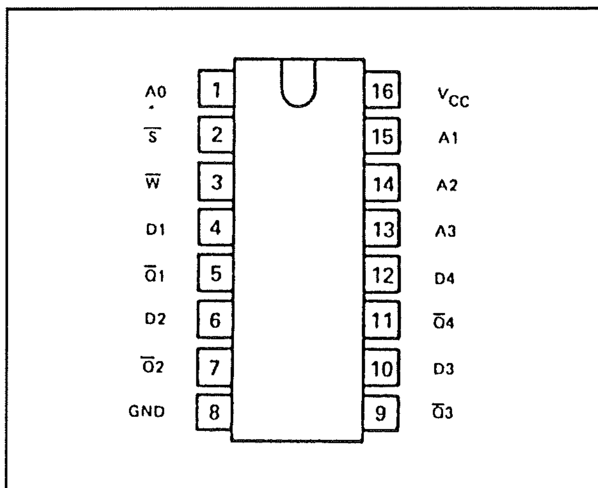
5.3 Geheugens



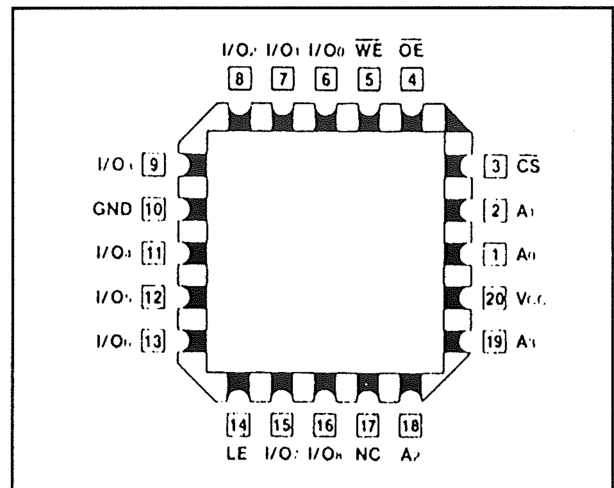
65642 8.192 x 8



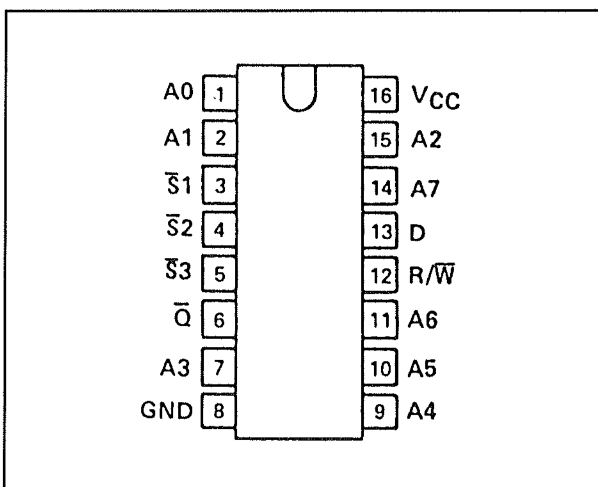
74F211 16 x 9



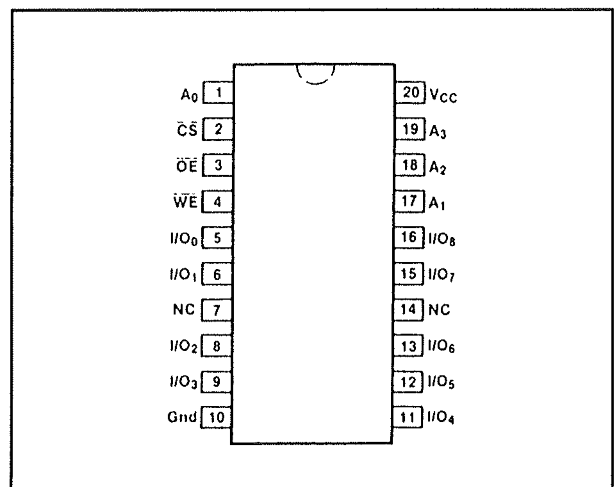
74189 16 x 4



74F211 16 x 9

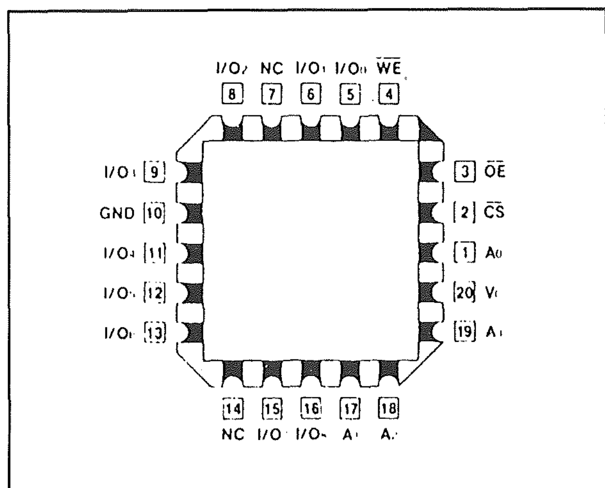


74S201 256 x 1

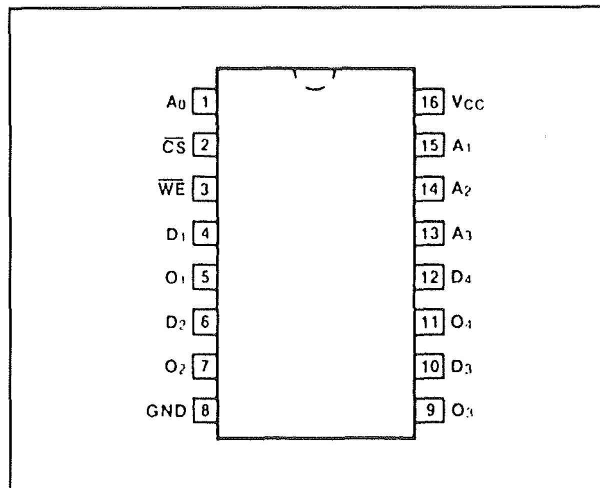


74F212 16 x 9

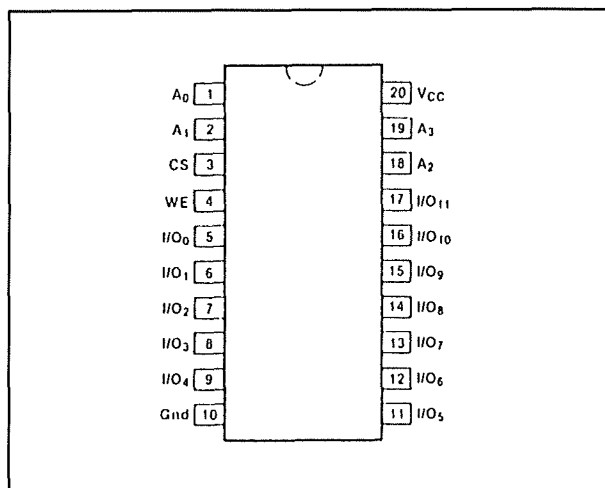
5.3 Geheugens



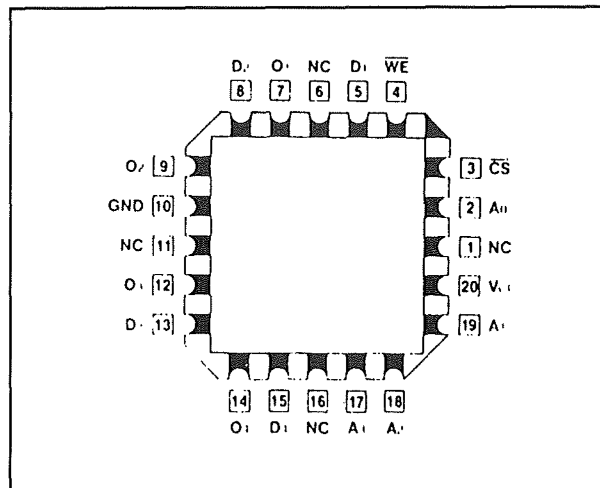
74F212 16 x 9



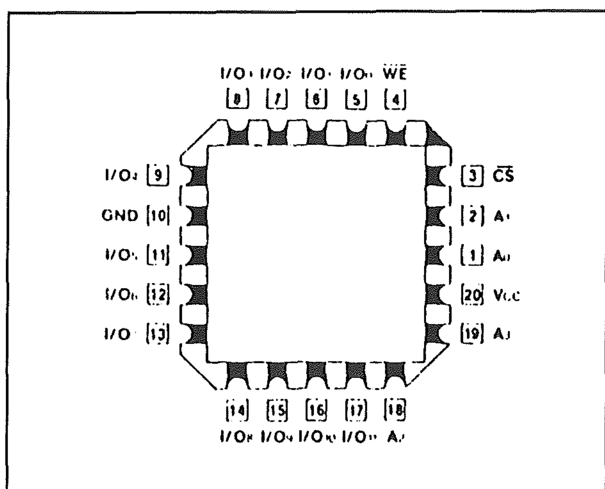
74219 16 x 4



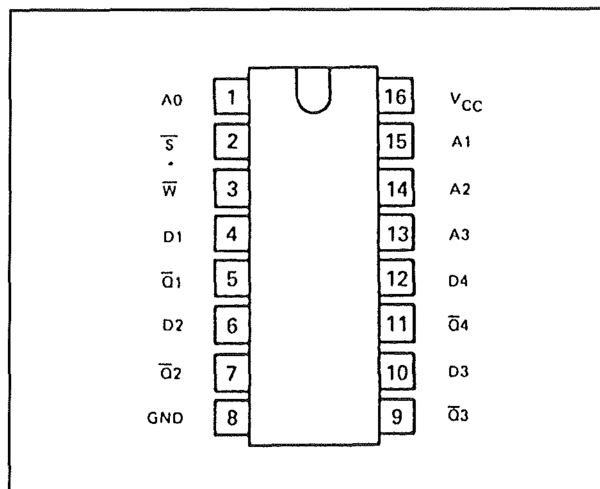
74213 16 x 12



74219 16 x 4

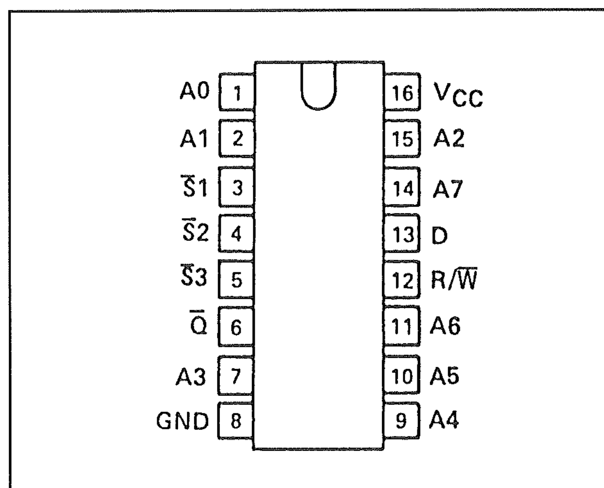


74213 16 x 12

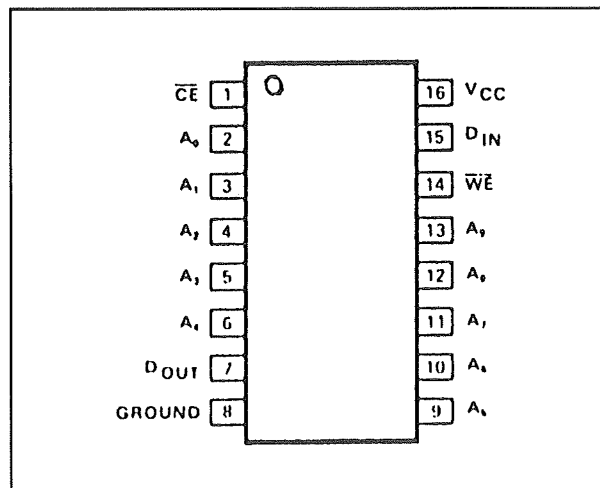


74289 16 x 4

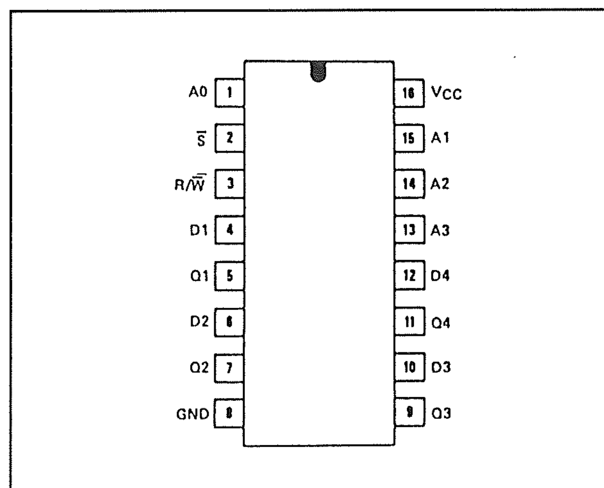
5.3 Geheugens



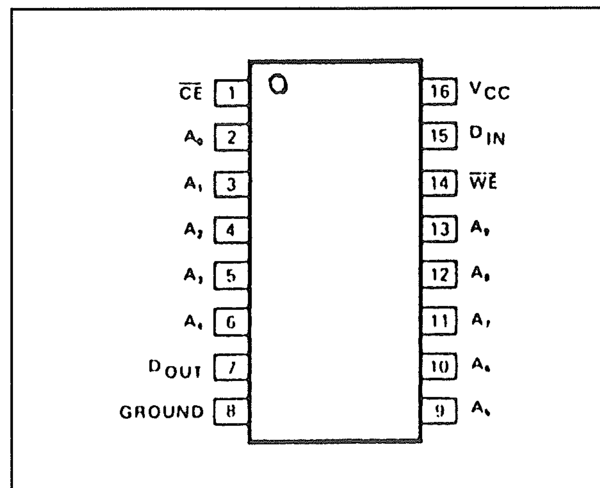
74301 256 x 1



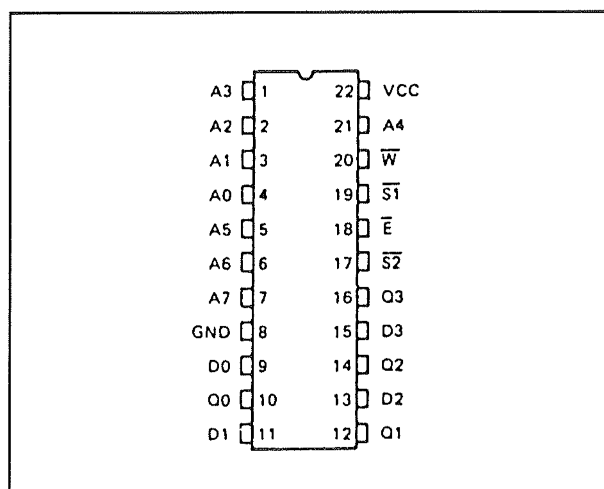
82S110 1.024 x 1



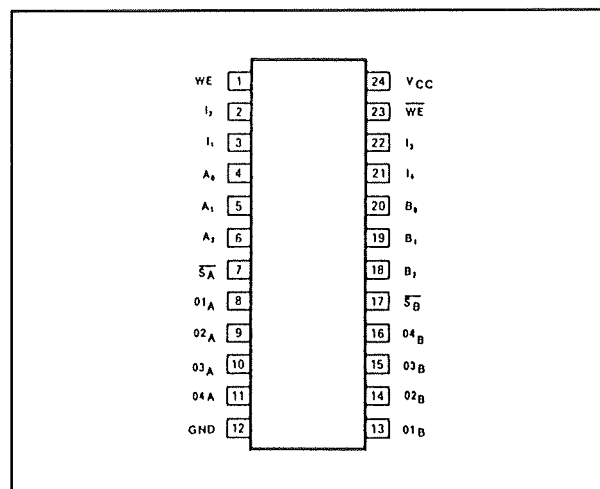
74LS319 16 x 4



82S111 1.024 x 1

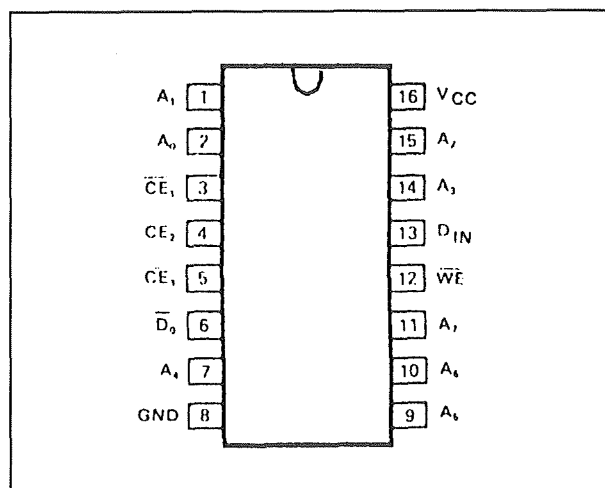


74C920 256 x 4

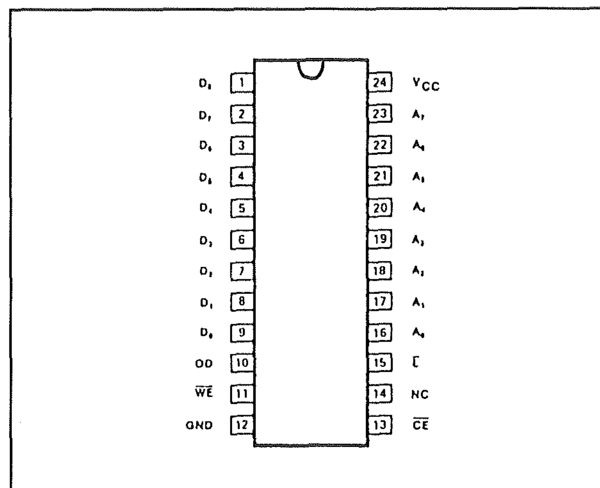


82S112 8 x 4

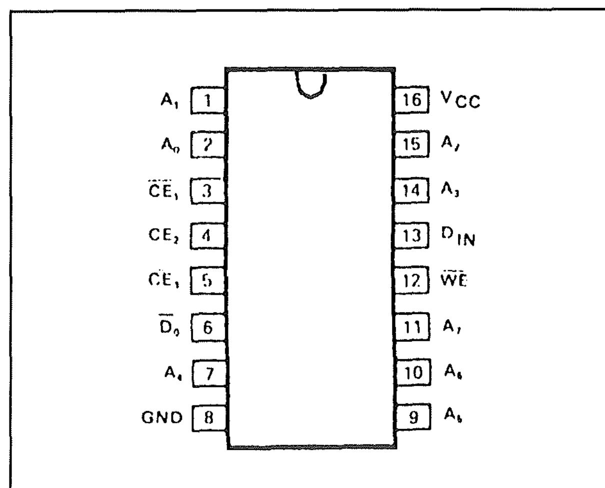
5.3 Geheugens



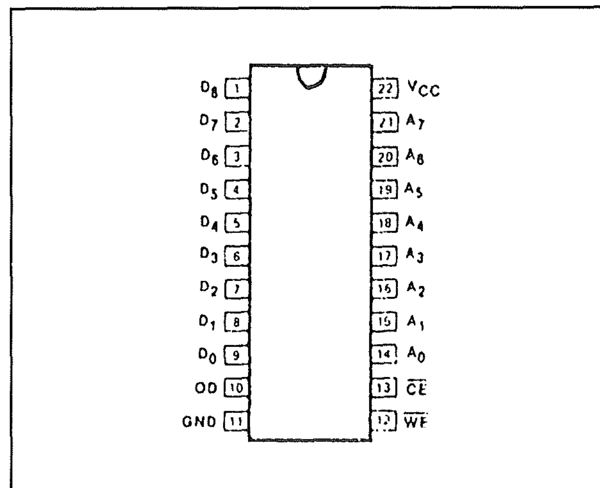
82S116 256 x 1



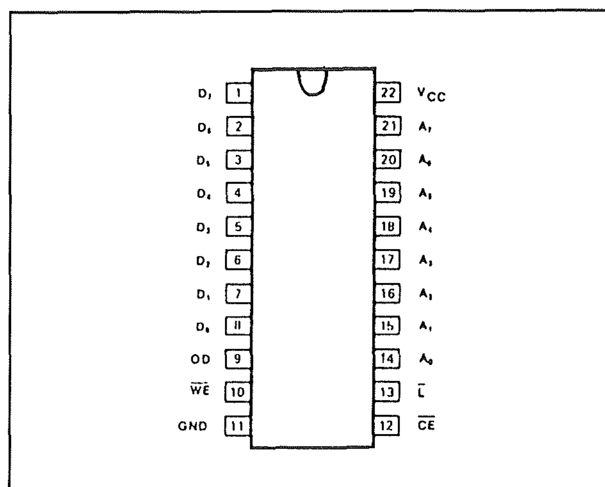
82S210 256 x 9



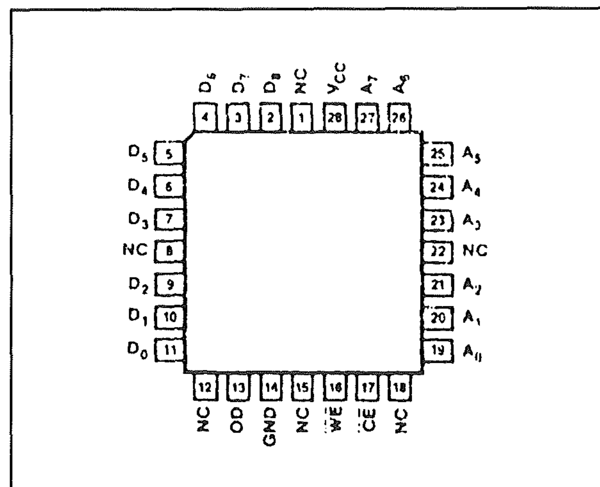
82S117 256 x 1



82S212 256 x 9

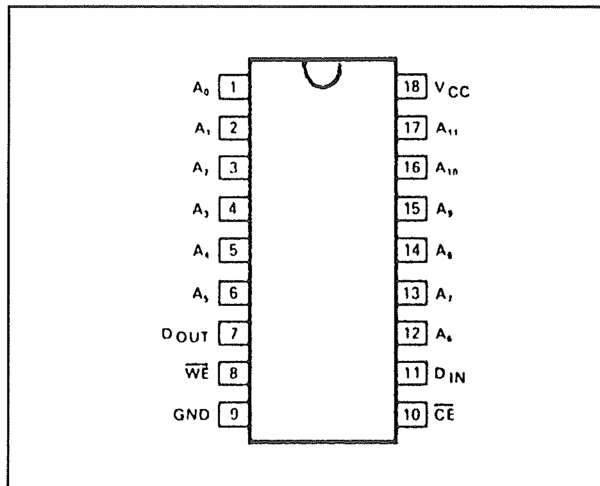


82S208 256 x 8

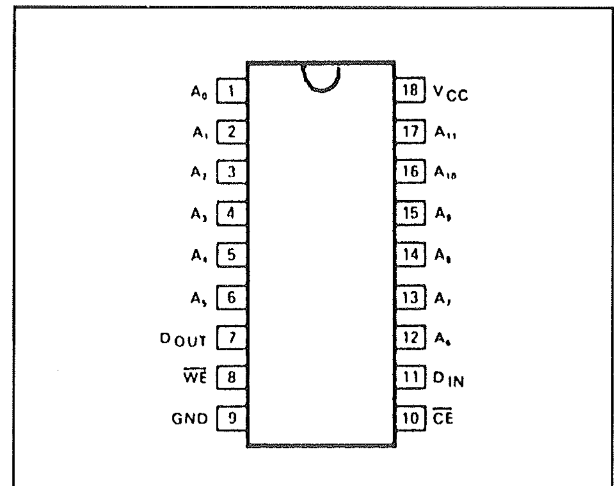


82S212 256 x 9

5.3 Geheugens



82S400 4.096 x 1



82S401 4.096 x 1

5.3 Geheugens

6/5.3.7 Geheugen-modulen

Achtergronden

Snelle geheugenontwikkelingen

Al sinds de uitvinding van de geïntegreerde schakeling (in 1959 door Jack Kilby) blijkt het aantal componenten dat op een chip kan worden geplaatst ieder jaar te verdubbelen. Deze tendens staat bekend als de Wet van Moore (1964) en klopt tot vandaag de dag aardig als in aanmerking wordt genomen dat het eerst ging om logische schakelingen en vanaf ongeveer 1970 om geheugenchips.

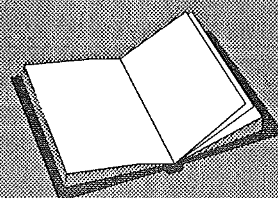
Op dit moment zijn 4 MB DRAM's in volle produktie en zijn de eerste 16 MB DRAM's ook al verkrijgbaar. Voor de ontwikkeling van 64 MB geheugens en nog grotere chips, zoals 256 MB, zijn zulke grote bedragen gemoeid dat één fabriek die niet meer kan opbrengen. Hiervoor worden dan ook speciale internationale samenwerkingsovereenkomsten gesloten. Sinds zo'n tien jaar geleden de eerste personal computers (PC's) verschenen is er hierdoor veel veranderd in de manier waarop deze apparaten met geheugen worden uitgerust. Het 640 kB werkgeheugen waar de eerste PC's mee werden uitgerust (bijvoorbeeld het XT-type) is tegenwoordig voor veel software niet meer genoeg. Wie nu een PC aanschaft dient er rekening mee te houden dat 4 MB in de richting komt, maar dat uitbreiding tot minstens 16 MB mogelijk moet zijn. De fabrikanten van moederborden voorzien hun producten nu van speciale geheugensockets, zie figuur 6/5.3.7-1. In plaats van IC's worden hier verwisselbare geheugenmodulen in geplaatst.

Dit biedt de gelegenheid om vooruit te lopen op toekomstige ontwikkelingen op DRAM-gebied, zodat het geheugen in de PC zo nodig flink kan worden uitgebreid. Let op dat er twee soorten zijn: de van insteekcontacten voorziene SIP's (Single-In-Line-Packages) en de pen-loze sockettypen SIMM's. Het zijn beide kleine printjes waarop een aantal geheugen-IC's is gemonteerd.

SIP's

De eerste geheugen-modulen die werden ontwikkeld waren van het SIP-type. Er is al vanaf het begin naar gestreefd om de afmetingen en de aansluitpennen te standaardiseren om onderlinge uitwisseling

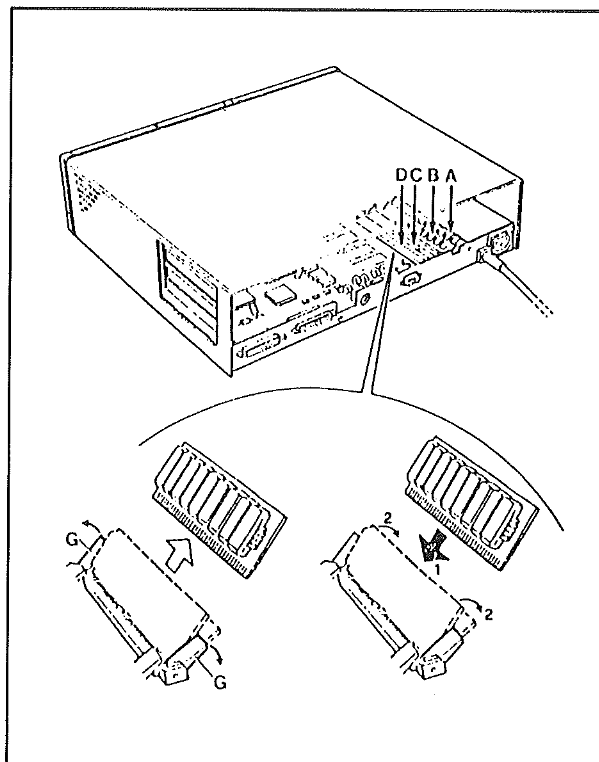
LEES OOK:
Hoofdstuk 3/6.13
Hoofdstuk 3/6.15
Hoofdstuk 3/6.17



van de modulen mogelijk te maken. Toch zijn verschillen onvermijdelijk.
Denk maar aan de woordbreedte die 4 bit, 8 bit of 16 bit kan zijn. Wanneer met pariteiten wordt gewerkt worden deze woordbreedten nog eens met één verhoogd. Texas Instruments heeft op dit gebied veel werk verricht en geldt als toonaangevende leverancier.

SIMM's

Het spreekt vanzelf dat het verwisselen van SIP's met zoveel aansluitpennetjes een moeilijke taak is. Het gevaar is groot dat één of meer contacten scheef gaan staan en/of afbreken. De ramp is nog groter als een afgebroken pennetje in de connector blijft zitten. Om dit te vermijden en tegemoet te komen aan de wens van veel PC-gebruikers en -fabrikanten worden nu meestal SIMM's toegepast. Dit zijn in feite dezelfde kleine printjes, maar dan met "edge"-connectoren. Aan de rand van de module zijn vergulde of vernikkelde contactbaantjes geplaatst die in verende contacten van de connector op de moederprint worden gestoken. Dit gaat veel gemakkelijker en is bovendien een stuk veiliger.

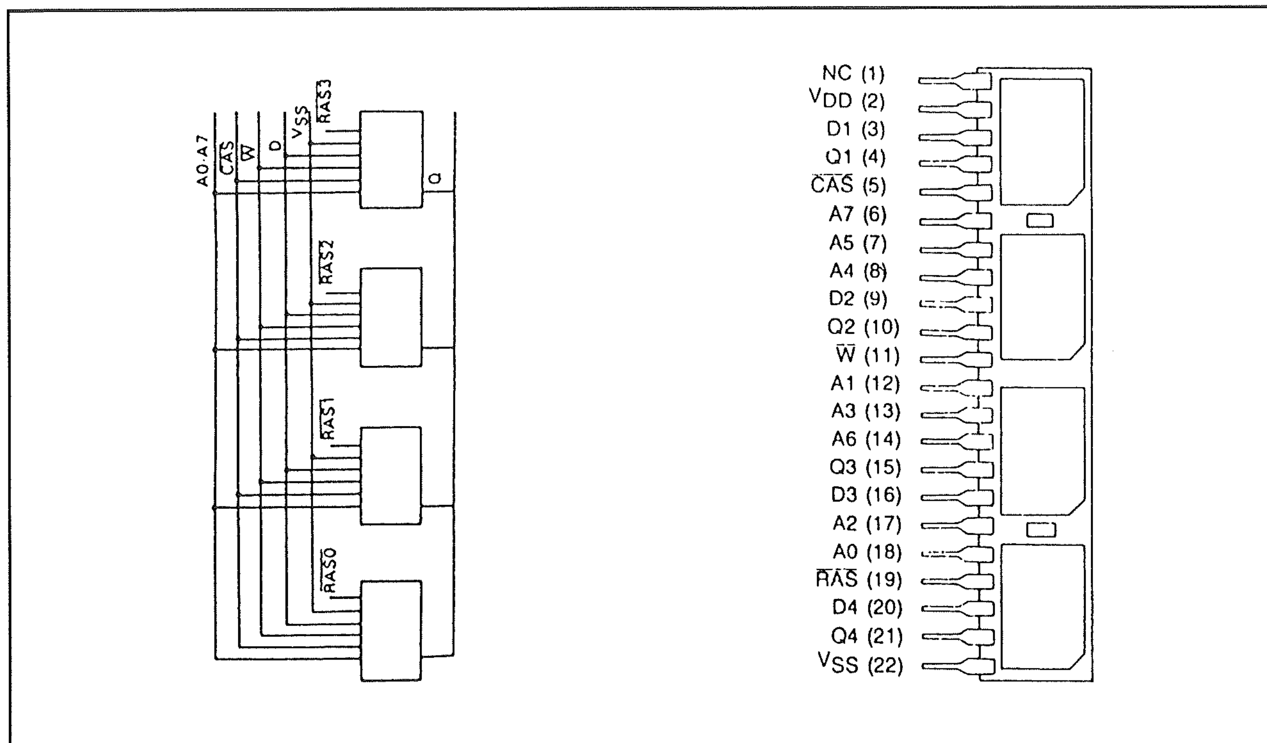


Figuur 6/5.3.7-1: Speciale "slots" voor geheugenmodulen (in dit geval SIMM's) in een PC.

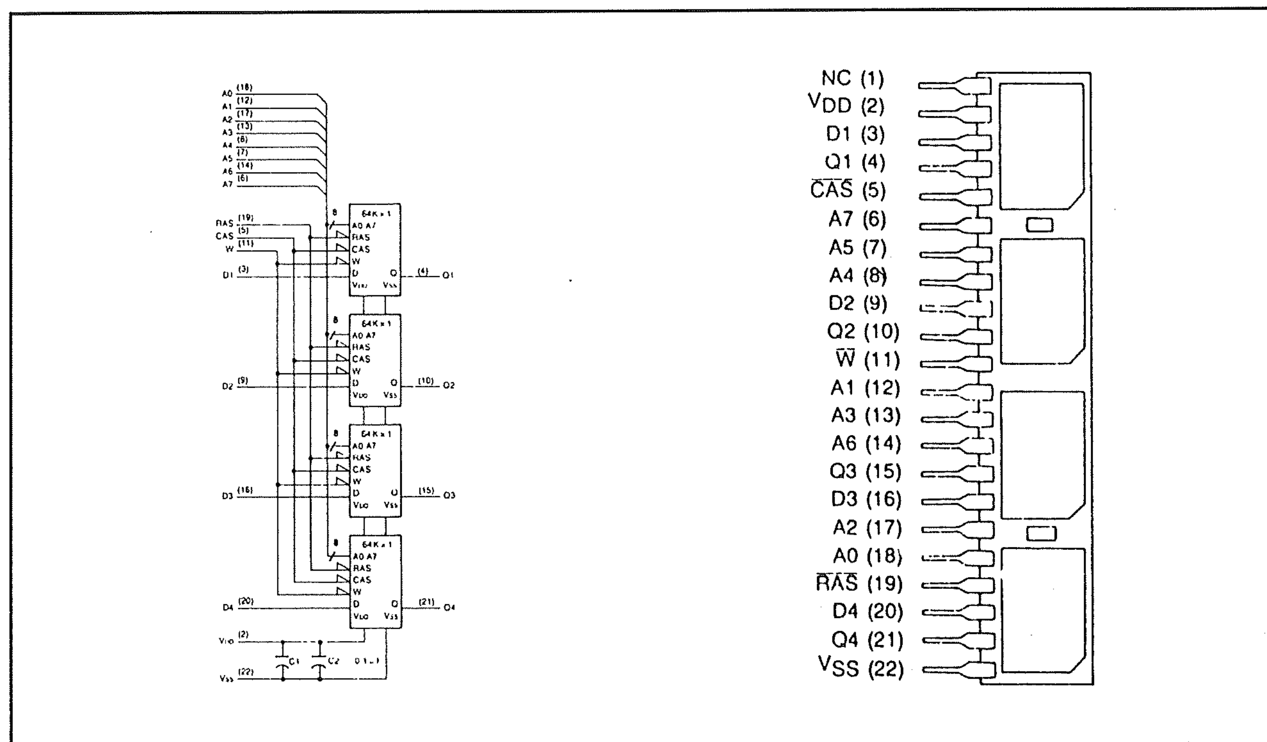
Type-beschrijving

Op de volgende pagina's worden de aansluitgegevens en de interne blokschema's van de meest gebruikte geheugenmodulen gegeven. Tevens wordt in het kort vermeld hoe de modulen werken.

5.3 Geheugens

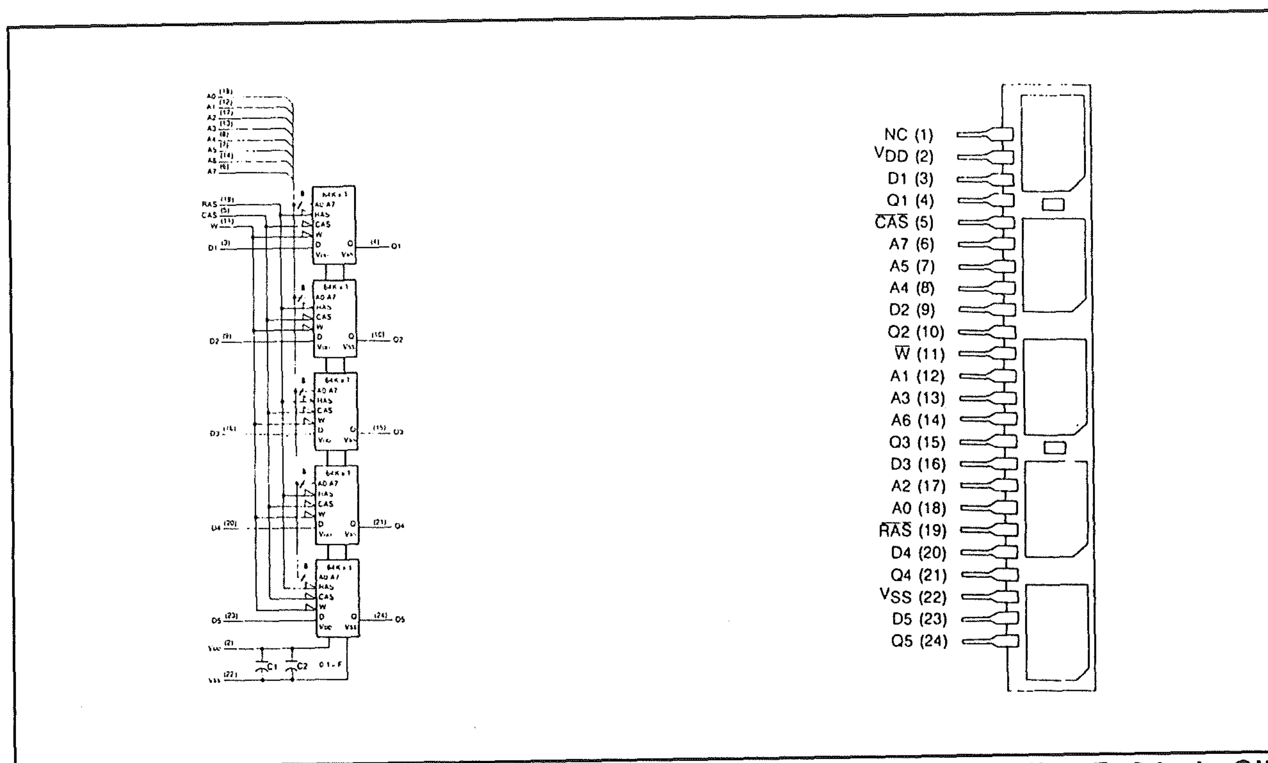


TM4164FA1, TM4164FC1 256k x 1, 22-pin SIP

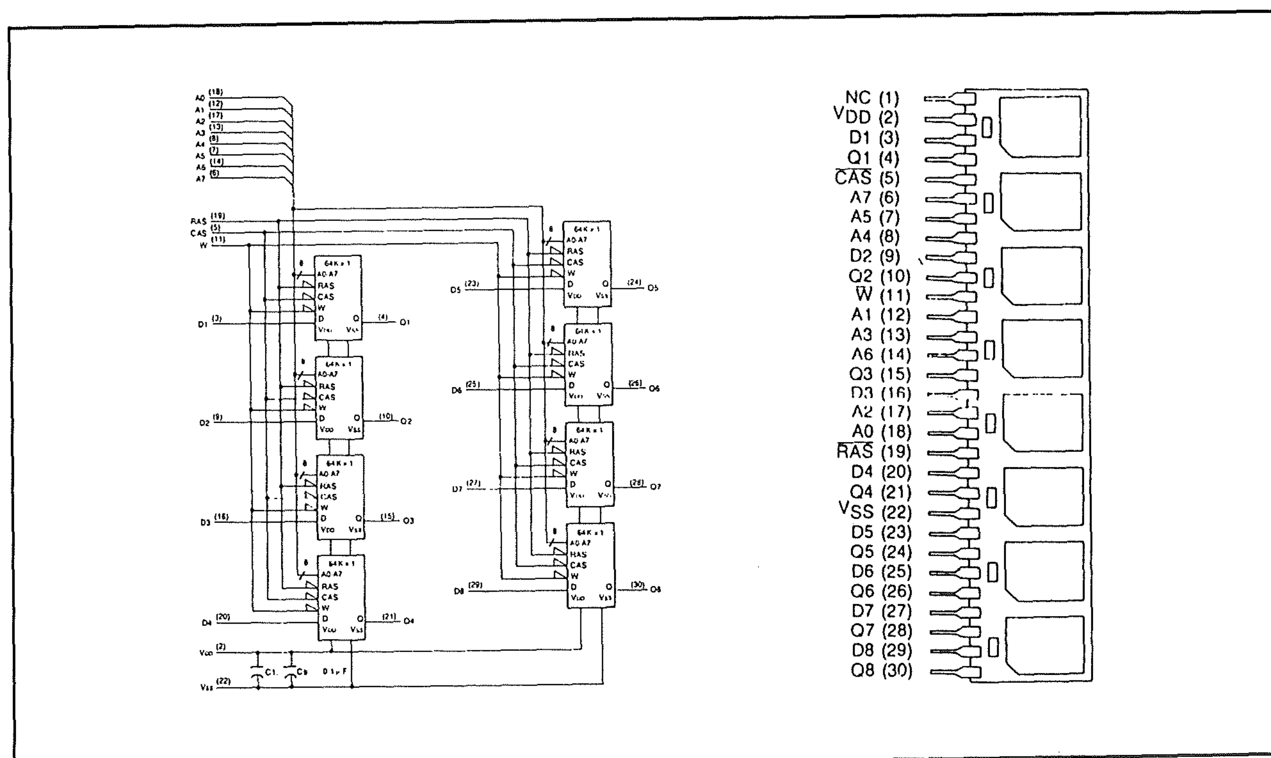


TM4164EA4, TM4164EC4 64k x 4, 22-pin SIP

5.3 Geheugens

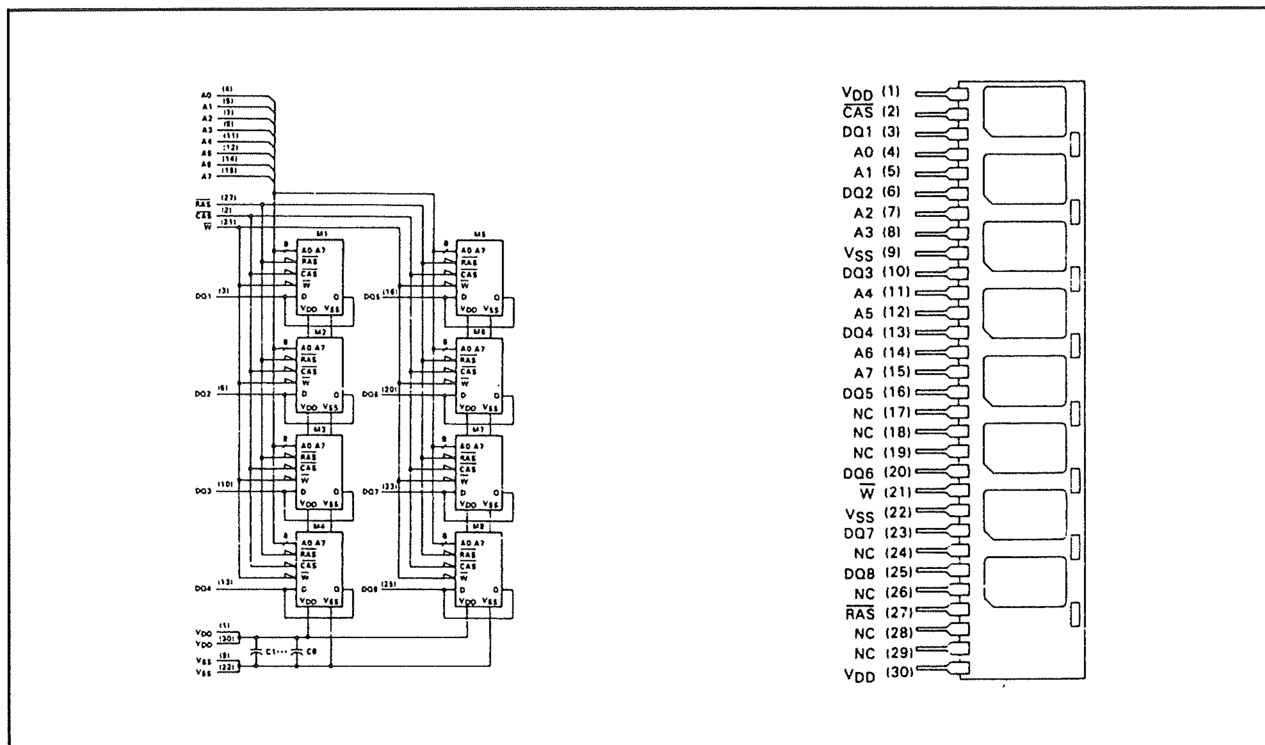


TM4164EH5, TM4164EQ5 — **64k x 5, 24-pin SIP**

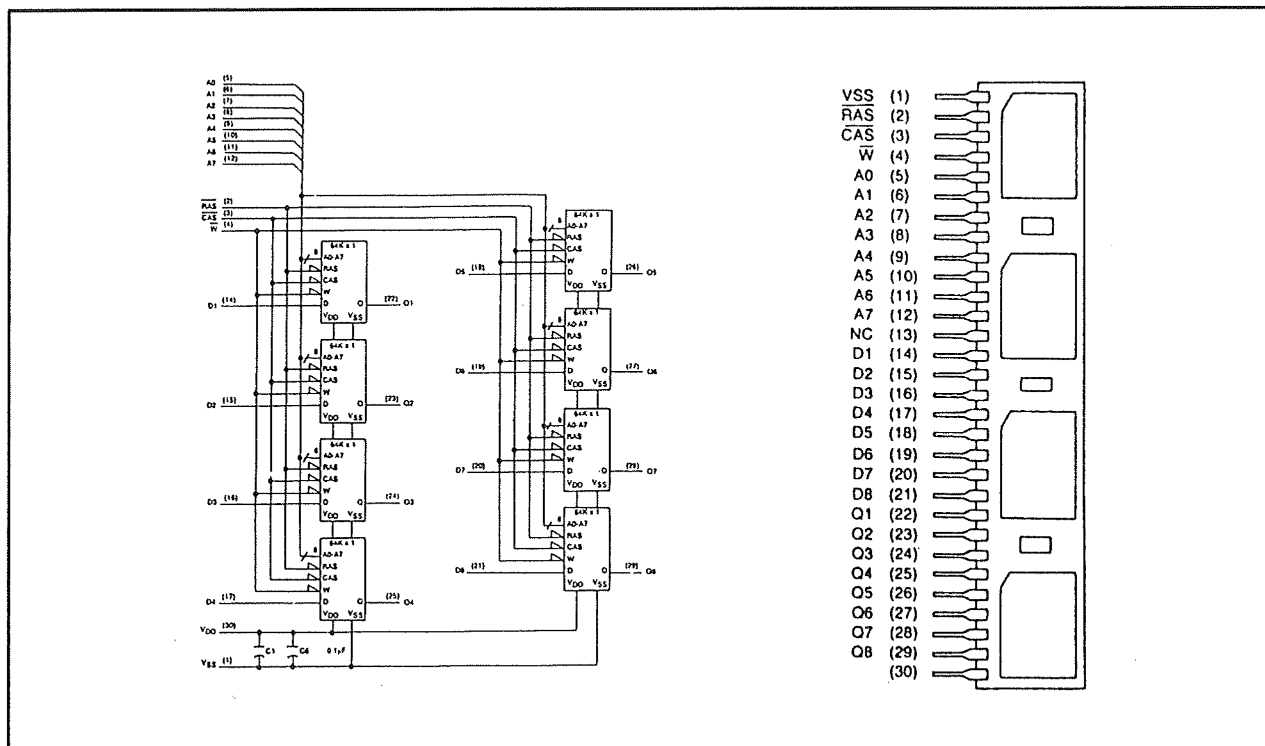


TM4164EK8 — **64k x 8, 30-pin SIP**

5.3 Geheugens

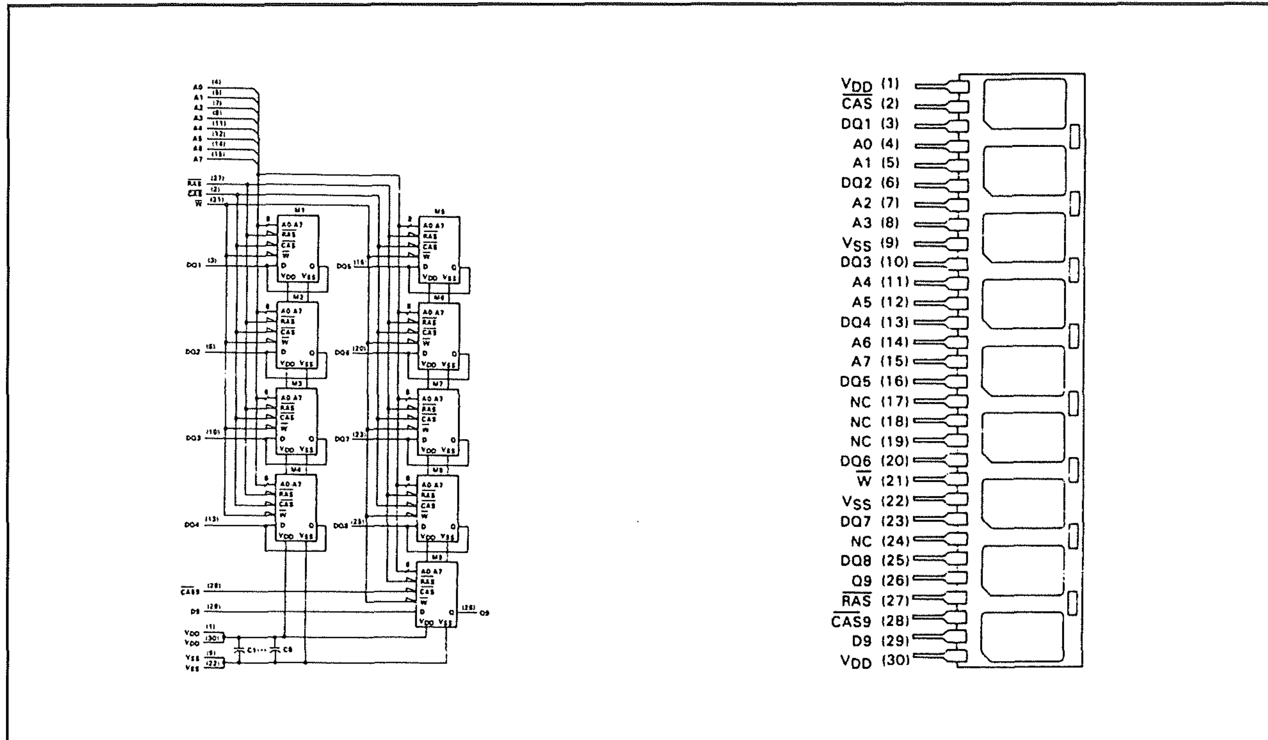


TM4164FL8 64k x 8, 30-pin SIP

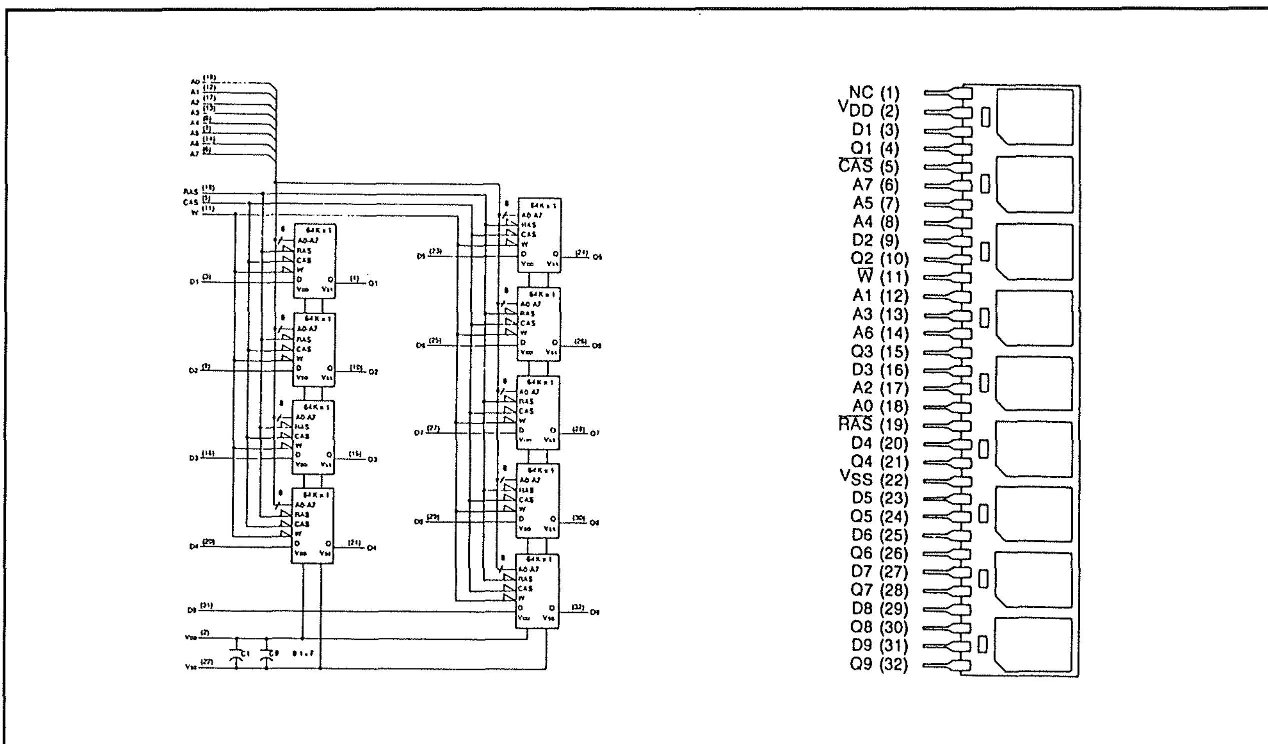


TM4164FT8 64k x 8, 30-pin SIP

5.3 Geheugens

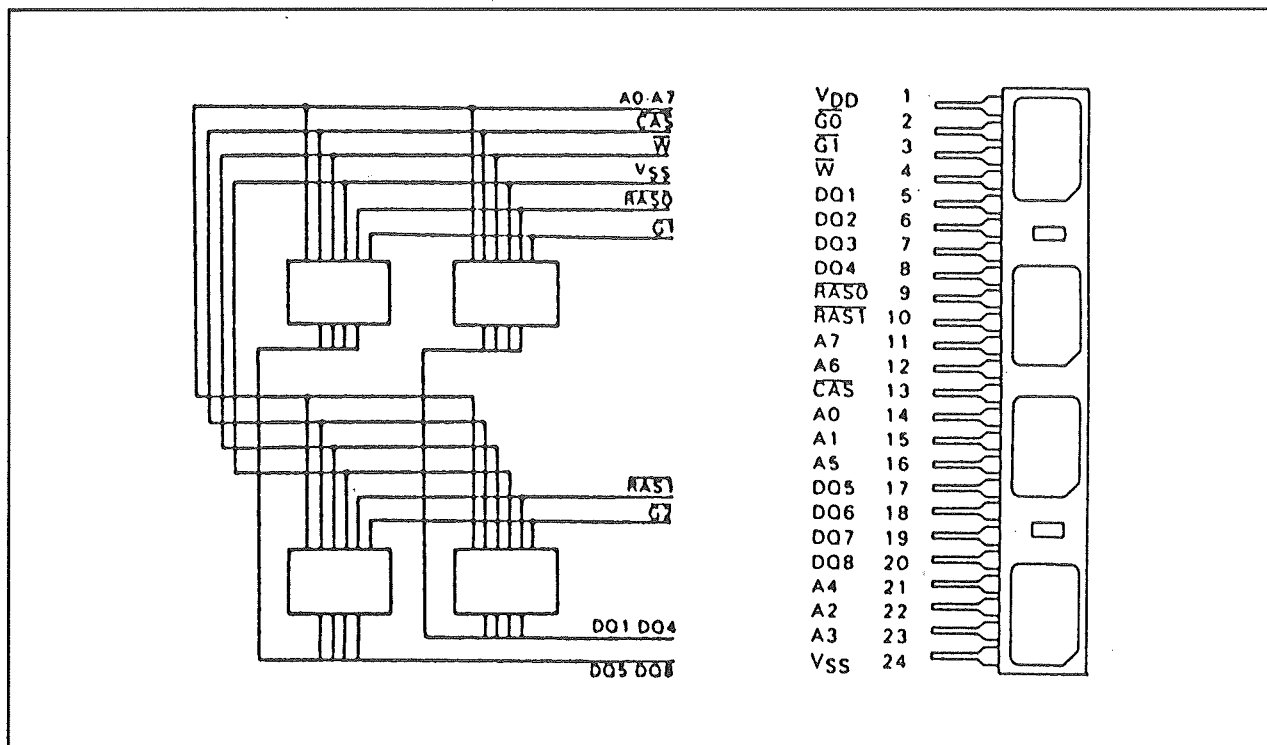


TM4164EL9 — **64k x 9, 30-pin SIP**

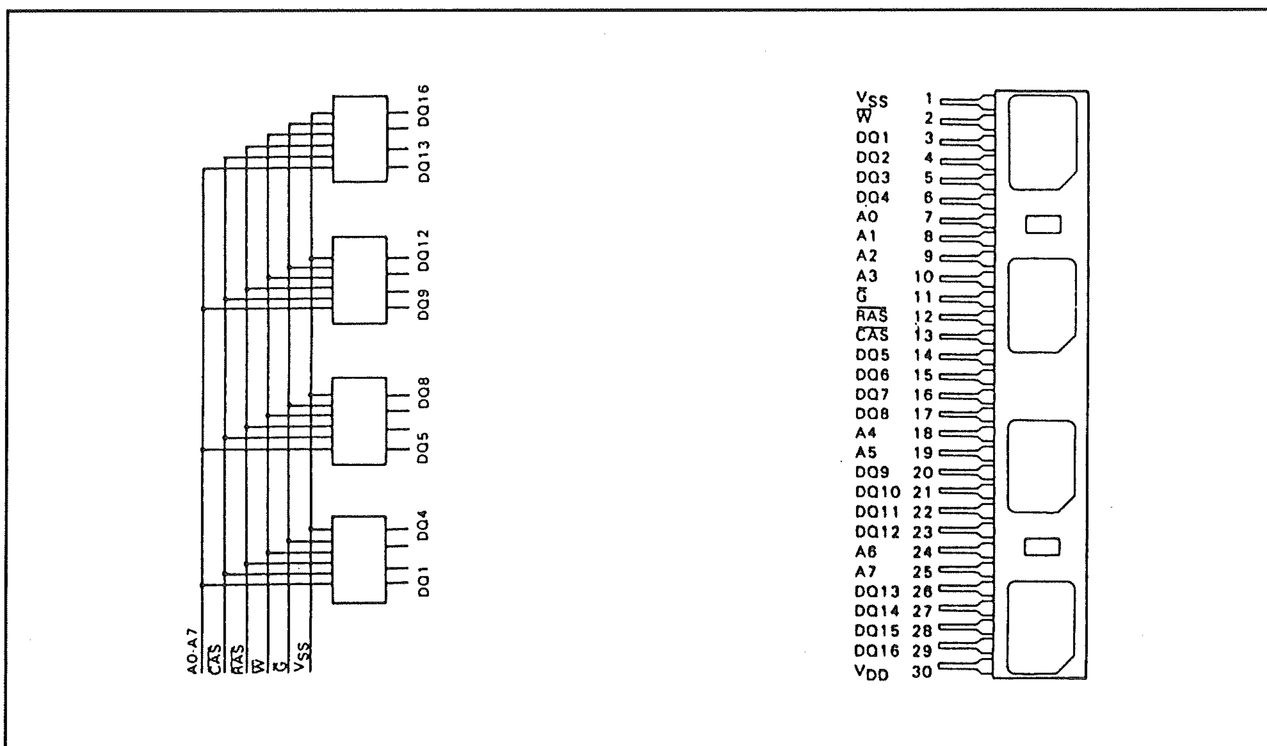


TM4164FN9 — **64k x 9, 32-pin SIP**

5.3 Geheugens

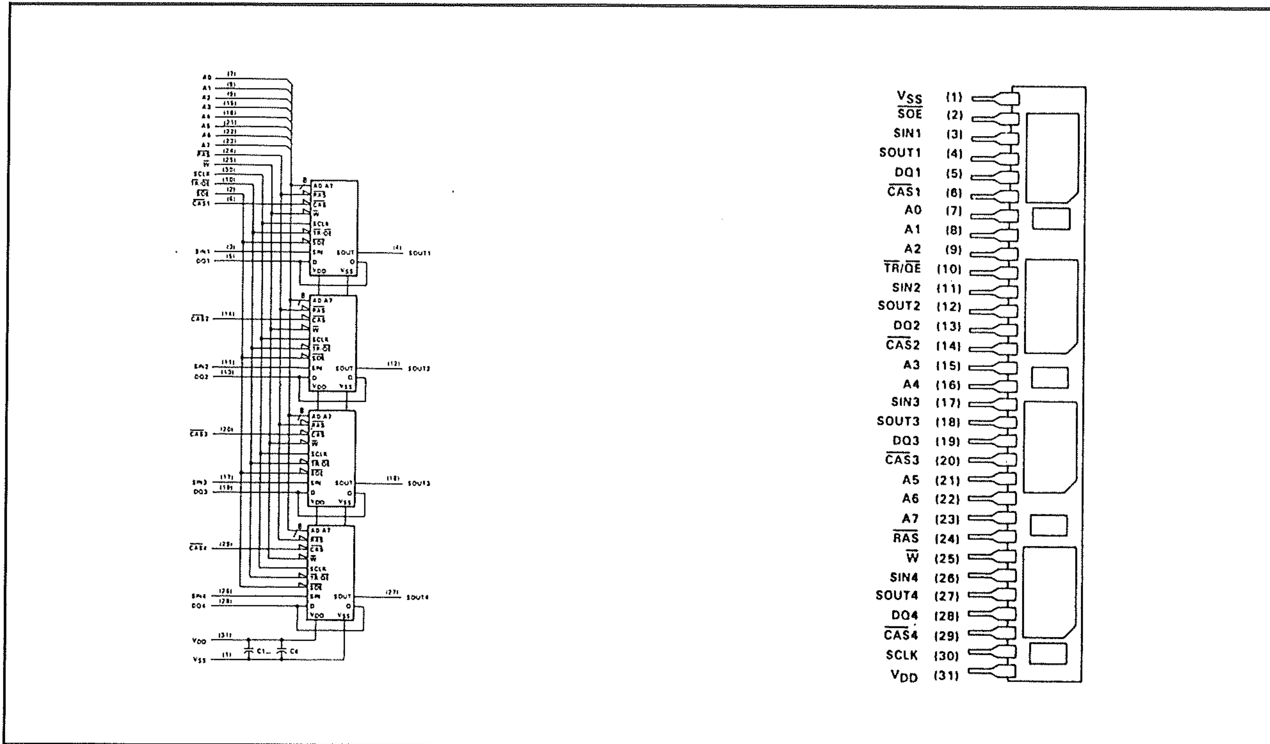


TM4416EE8, TM4416EF8 | **32k x 8, 24-pin SIP**

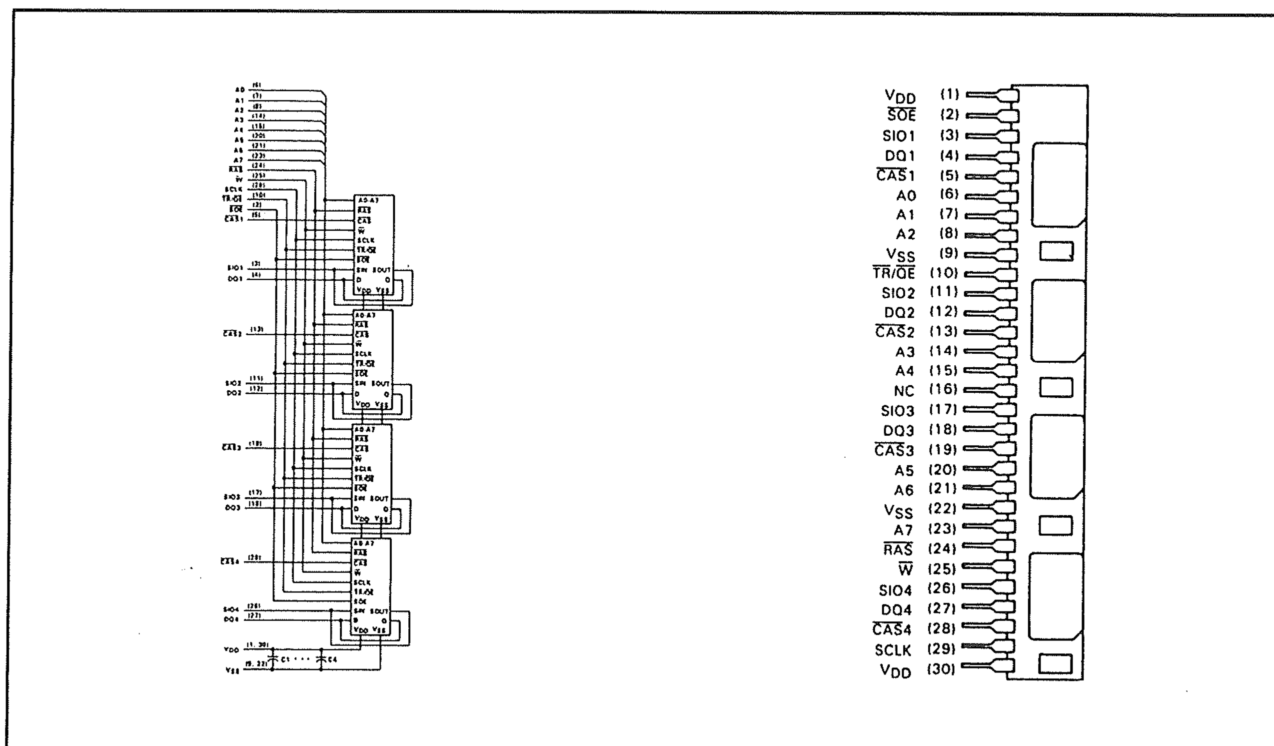


TM4416EJ16, TM4416ET16 | **16k x 16, 30-pin SIP**

5.3 Geheugens

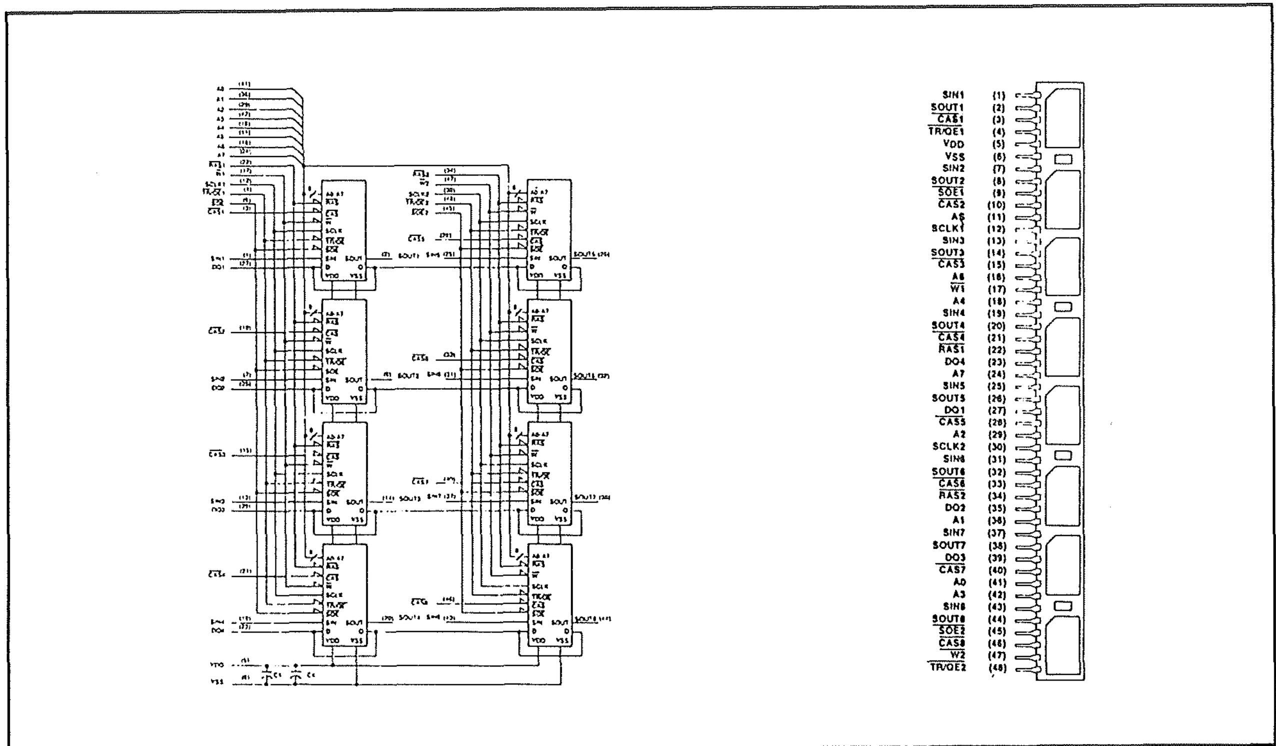


TM4161EV4 — **64k x 4 multiport video, 31-pin SIP**

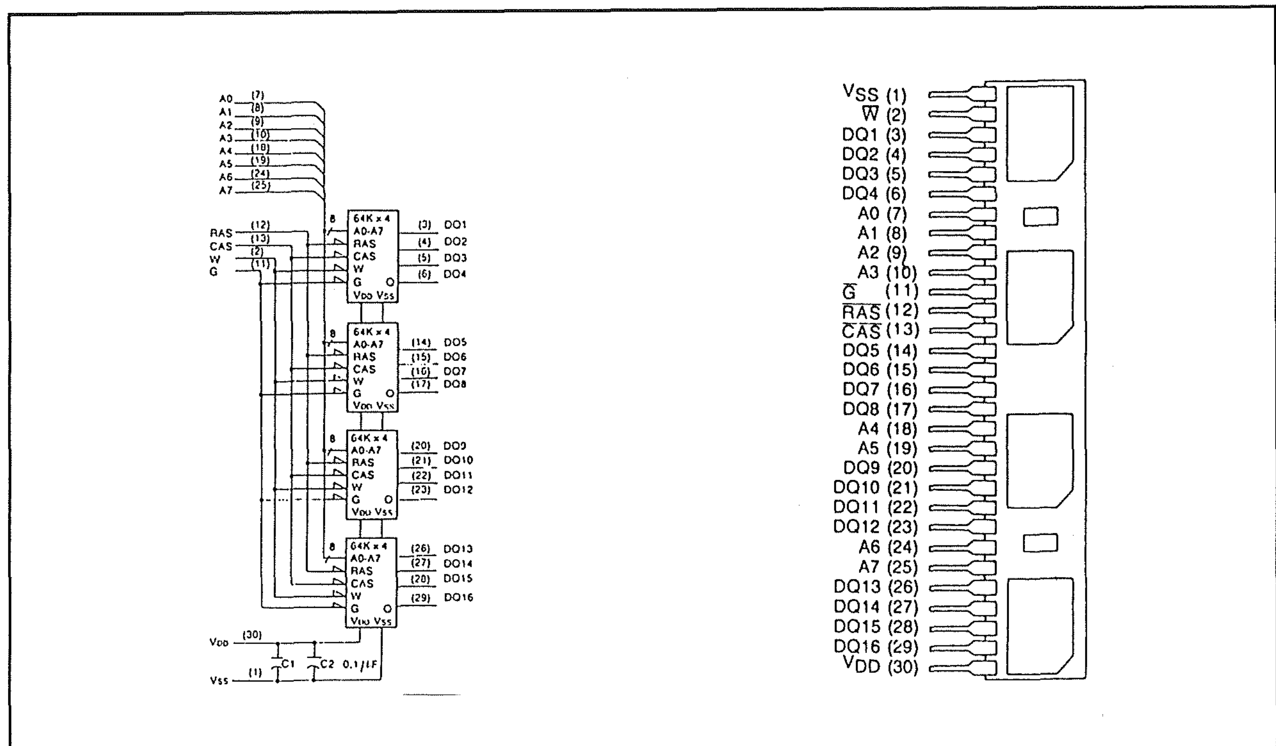


TM4161GW4, TM4161GY4 — **64k x 4 multiport video, 30-pin SIP en SIMM**

5.3 Geheugens

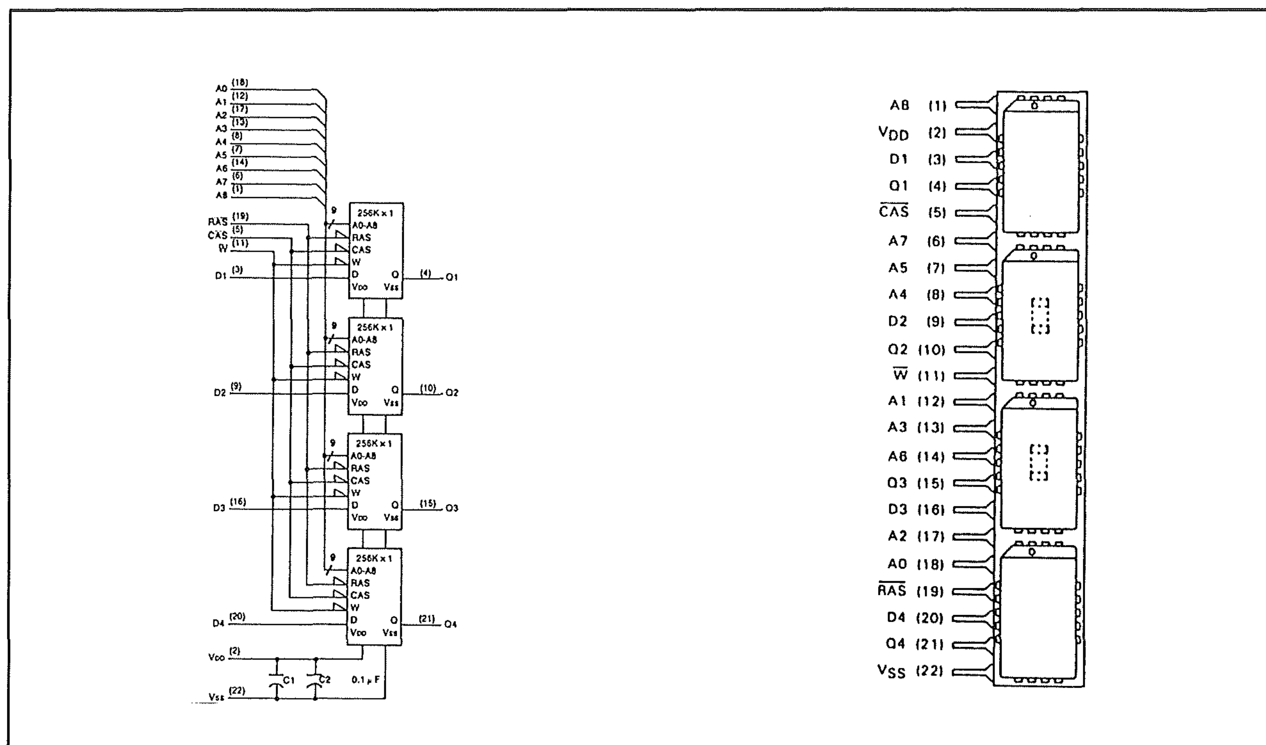


TM4161SE8 — 128k x 4 multiport video, 48-pin SIP

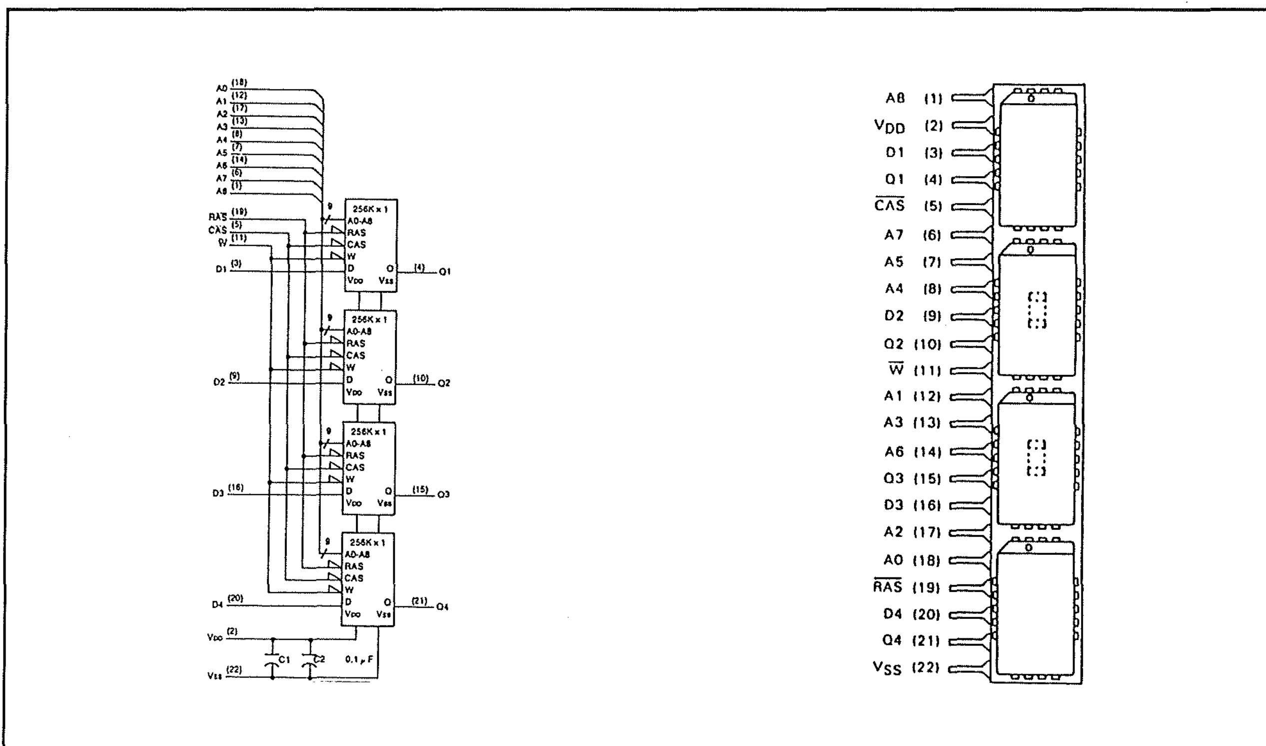


TM4464EJ16, TM4464ET16 — 64k x 16, 30-pin SIP

5.3 Geheugens

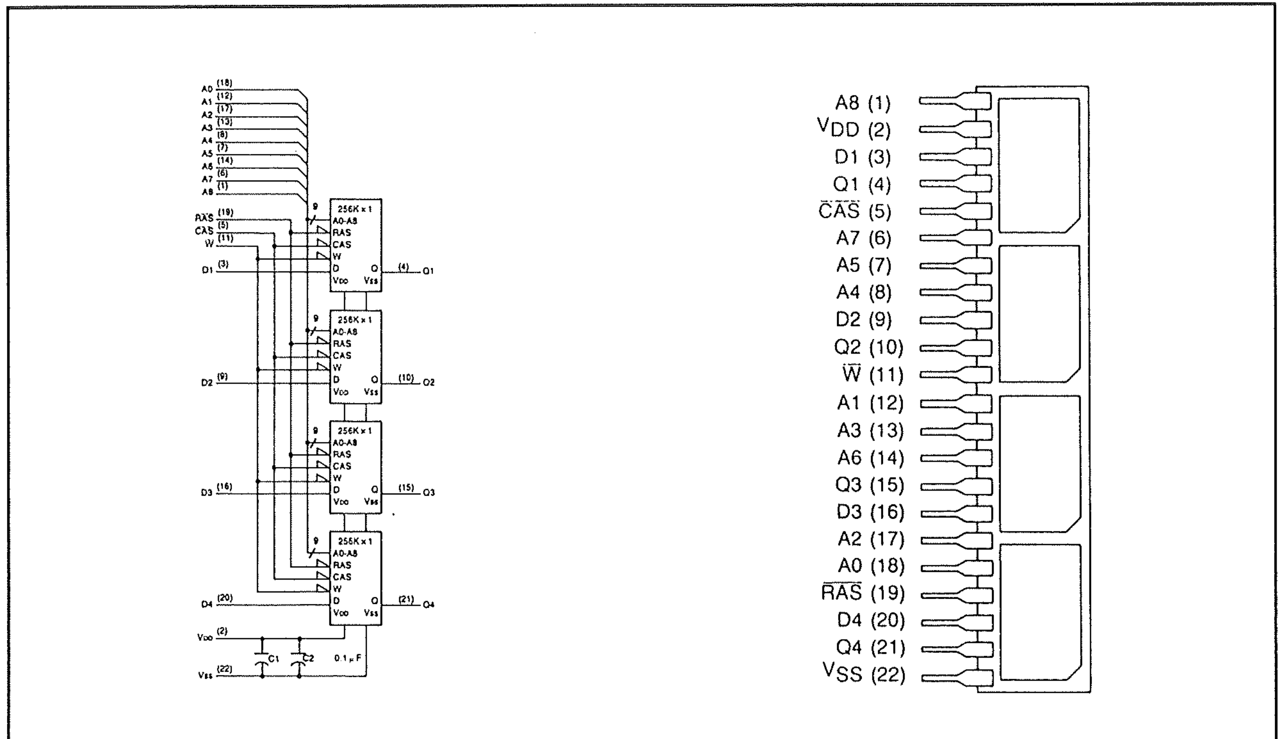


TM4256EA4 256k x 4, page-mode, 22-pin SIP

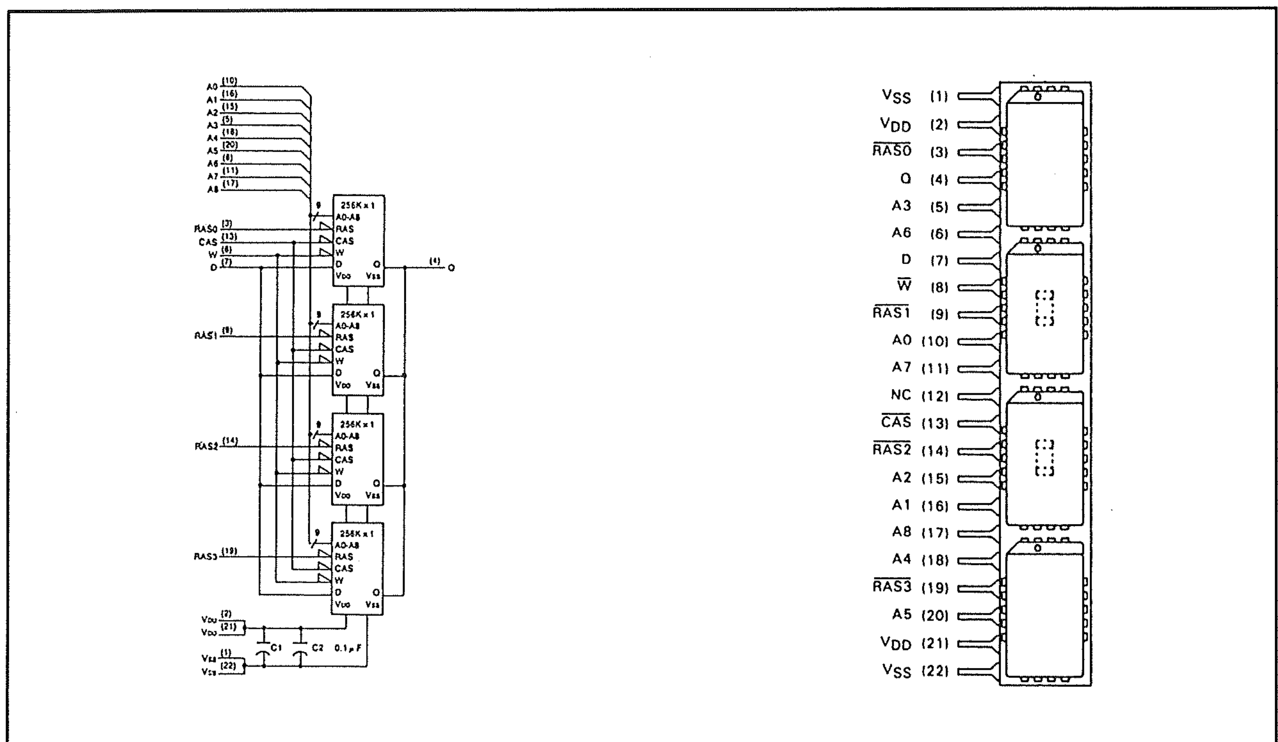


TM4257EA4 256k x 4, nibble-mode, 22-pin SIP

5.3 Geheugens

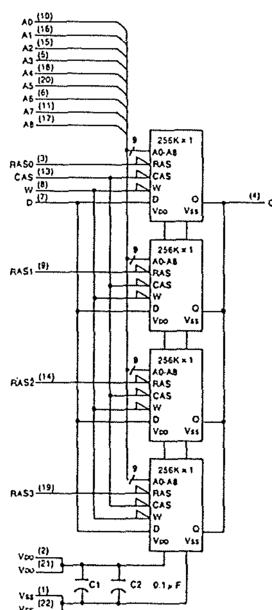


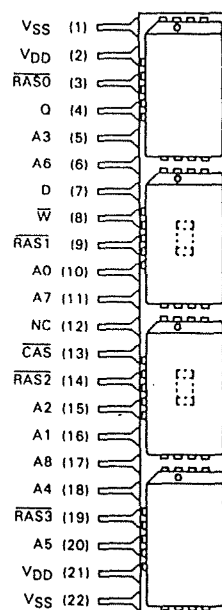
TM4256EC4 — **256k x 4, page-mode, 22-pin SIP**



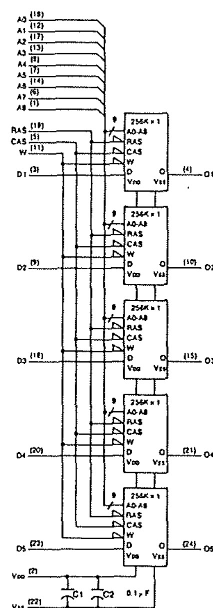
TM4256FA1 — **1M x 1, page-mode, 22-pin SIP**

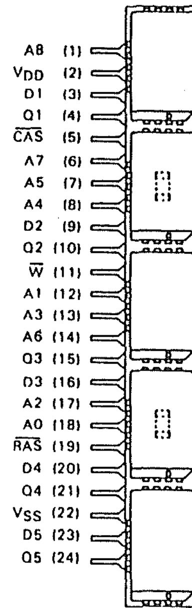
5.3 Geheugens





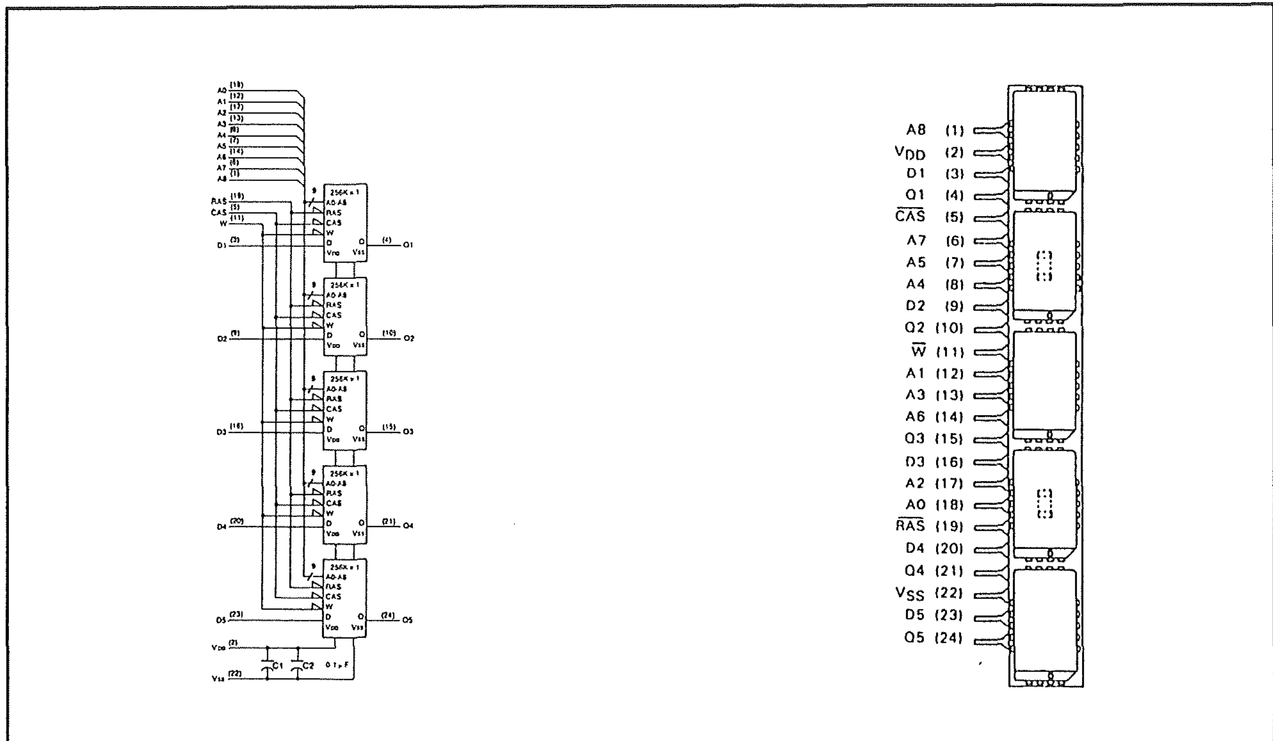
TM4257FA1 1M x 1, nibble-mode, 22-pin SIP



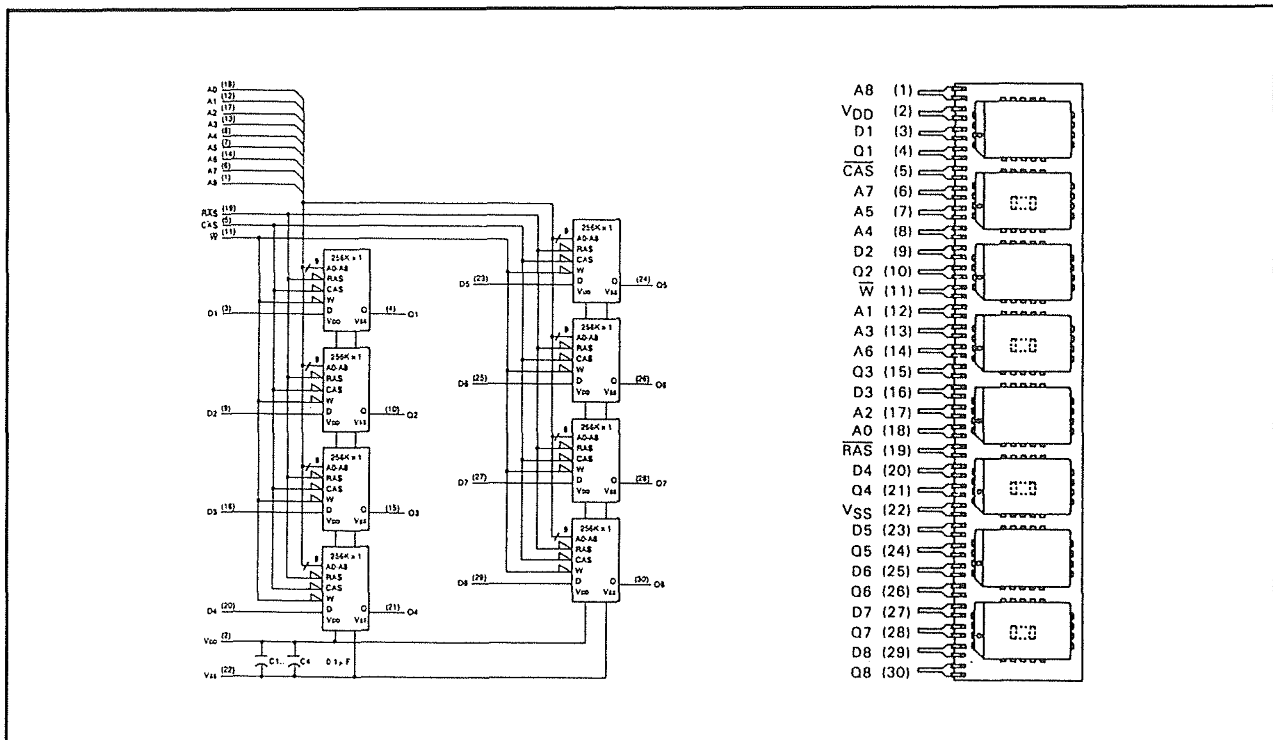


TM4256EH5 256k x 5, page-mode, 24-pin SIP

5.3 Geheugens

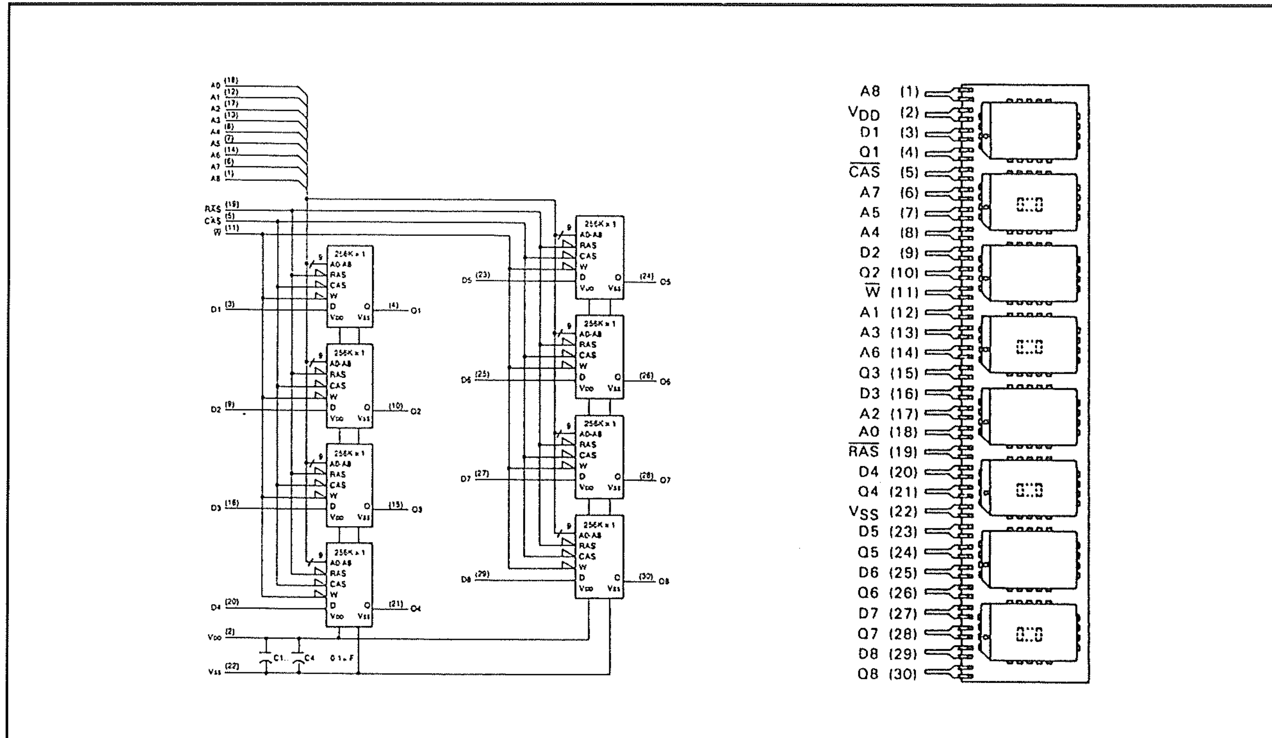


TM4257EH5 256k x 5, nibble-mode, 24-pin SIP

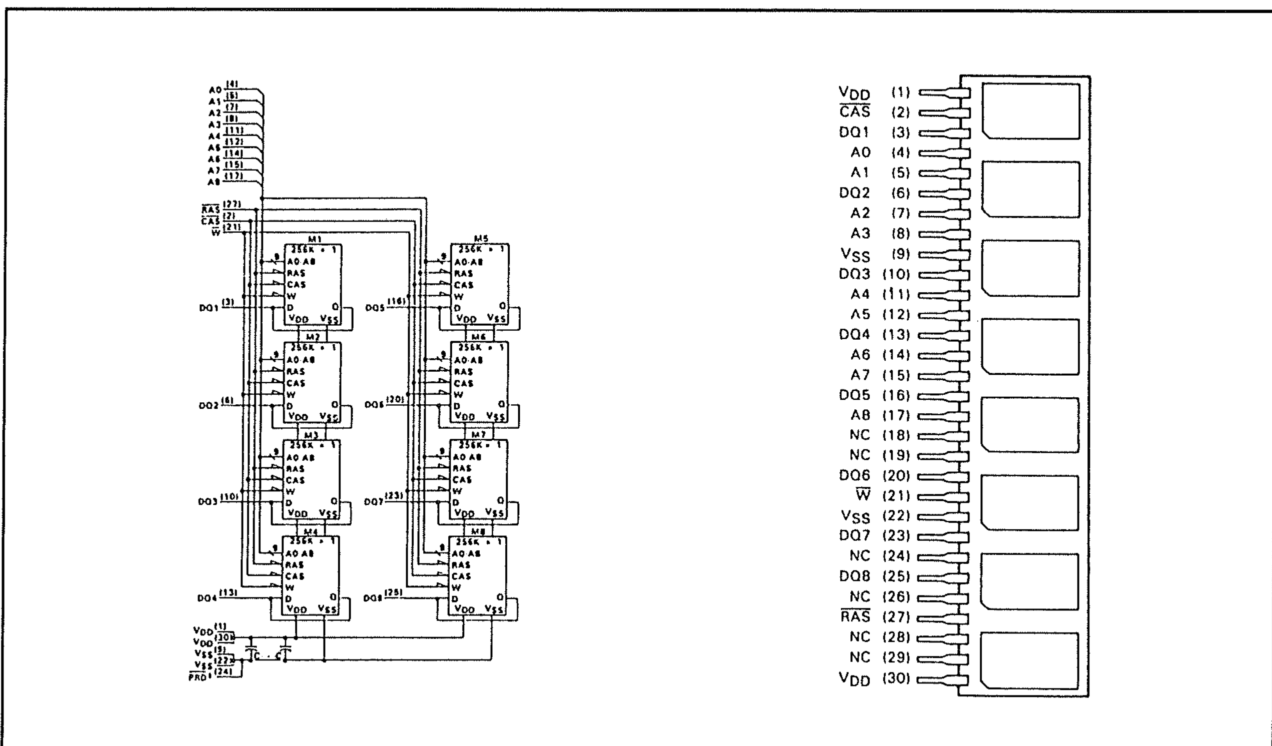


TM4256EK8 256k x 8, page-mode, 30-pin SIP

5.3 Geheugens

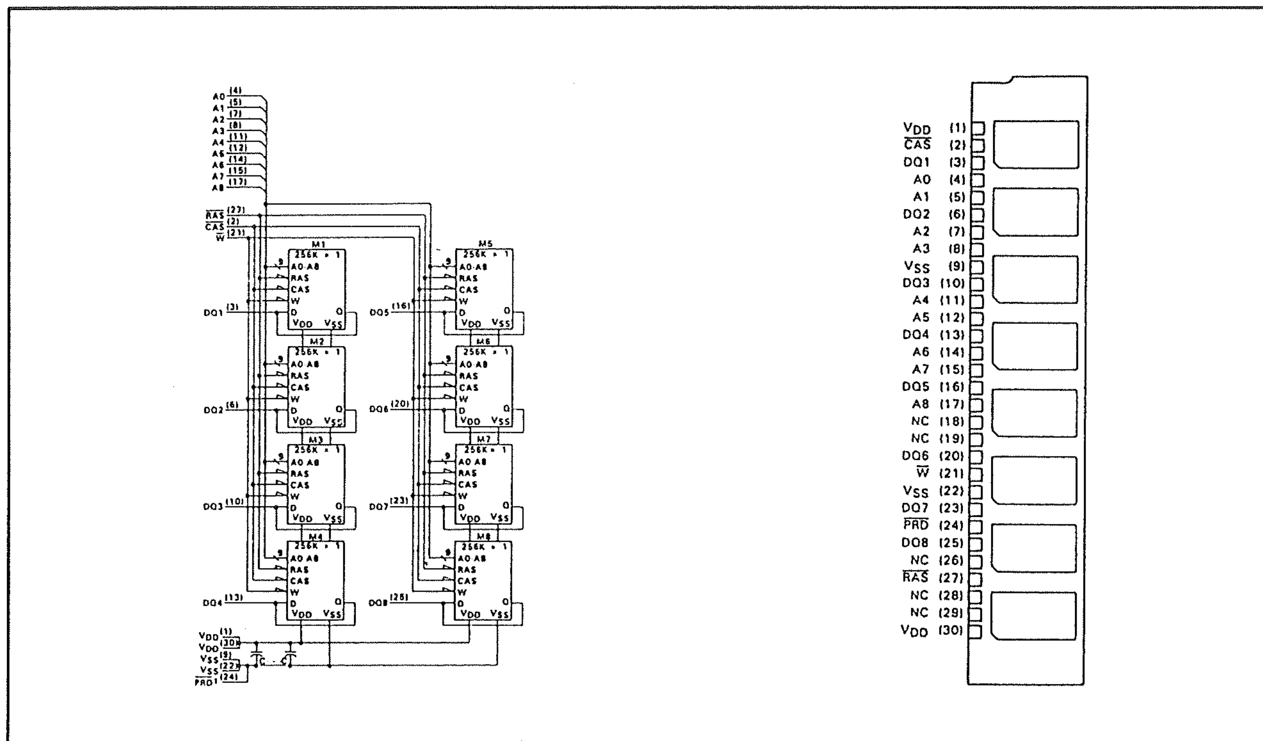


TM4257EK8 256k x 8, nibble-mode, 30-pin SIP

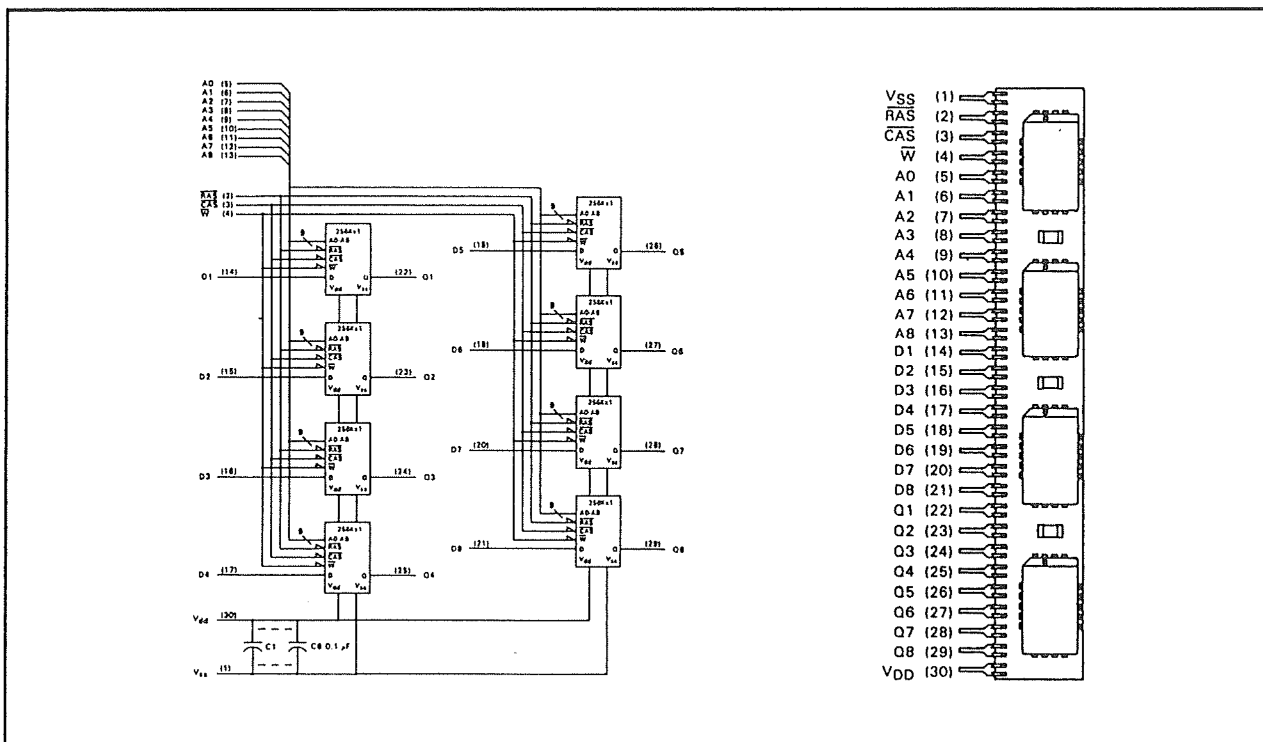


TM4256FL8 256k x 8, page-mode, 30-pin SIP

5.3 Geheugens

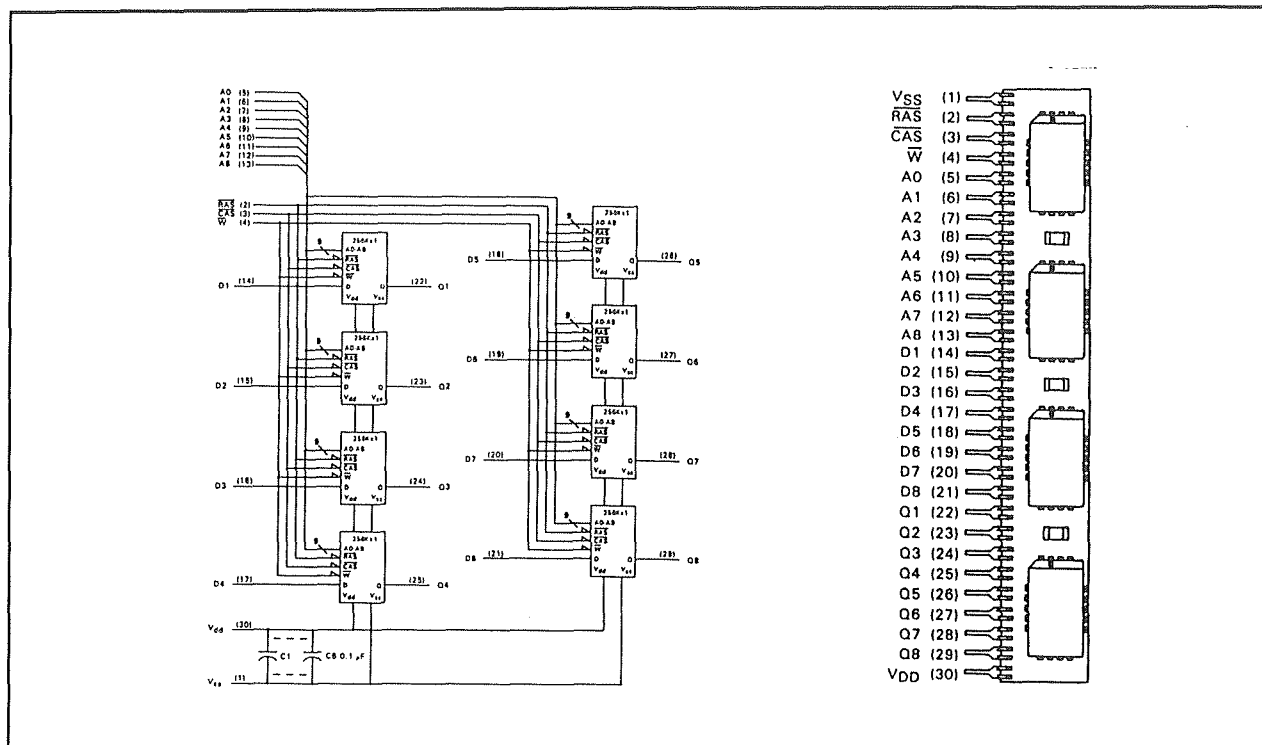


TM4256GU8 256k x 8, page-mode, 30-pin SIMM

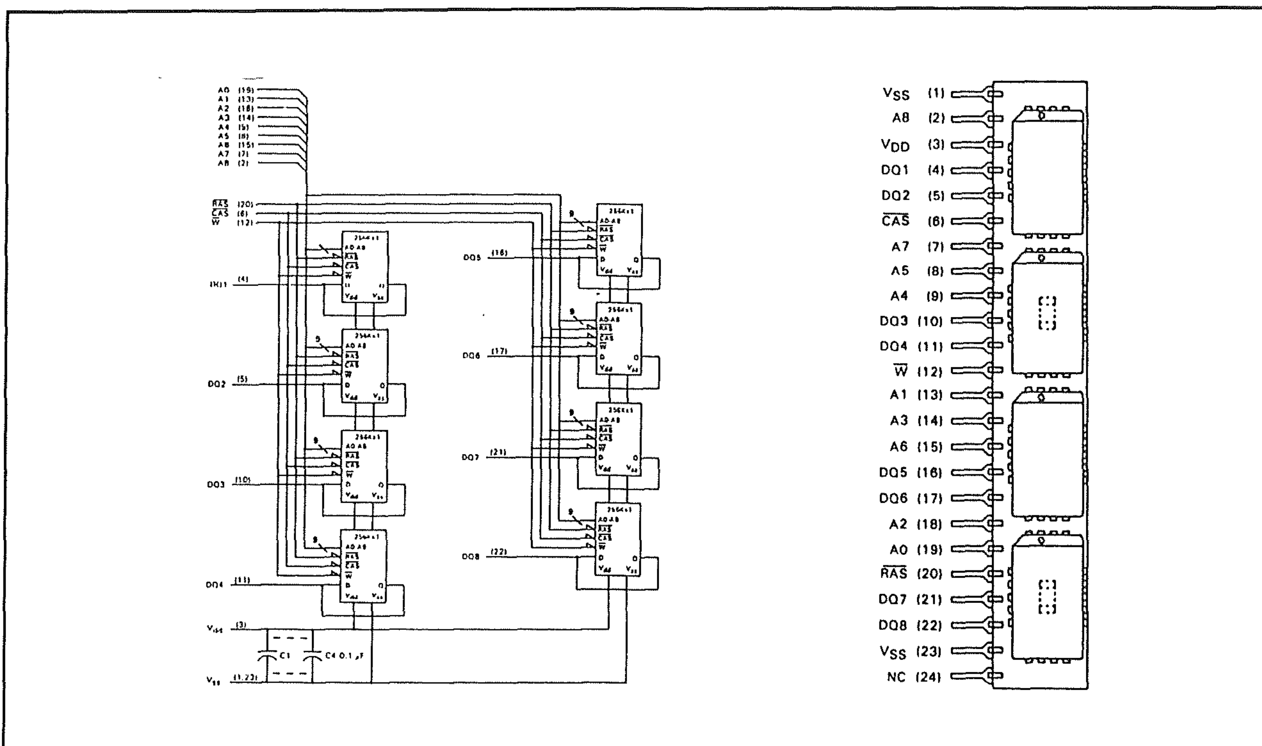


TM4256FT8 256k x 8, page-mode, 30-pin SIP

5.3 Geheugens

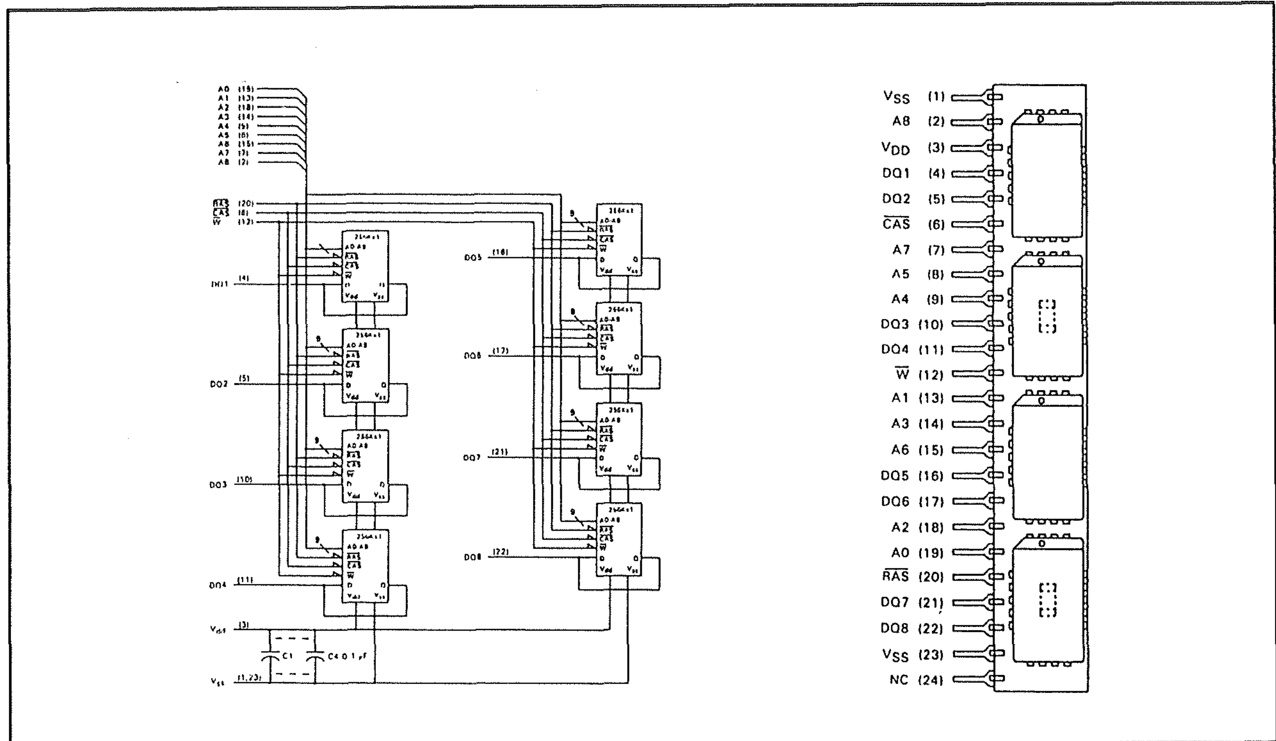


TM4257FT8 256k x 8, nibble-mode, 30-pin SIP

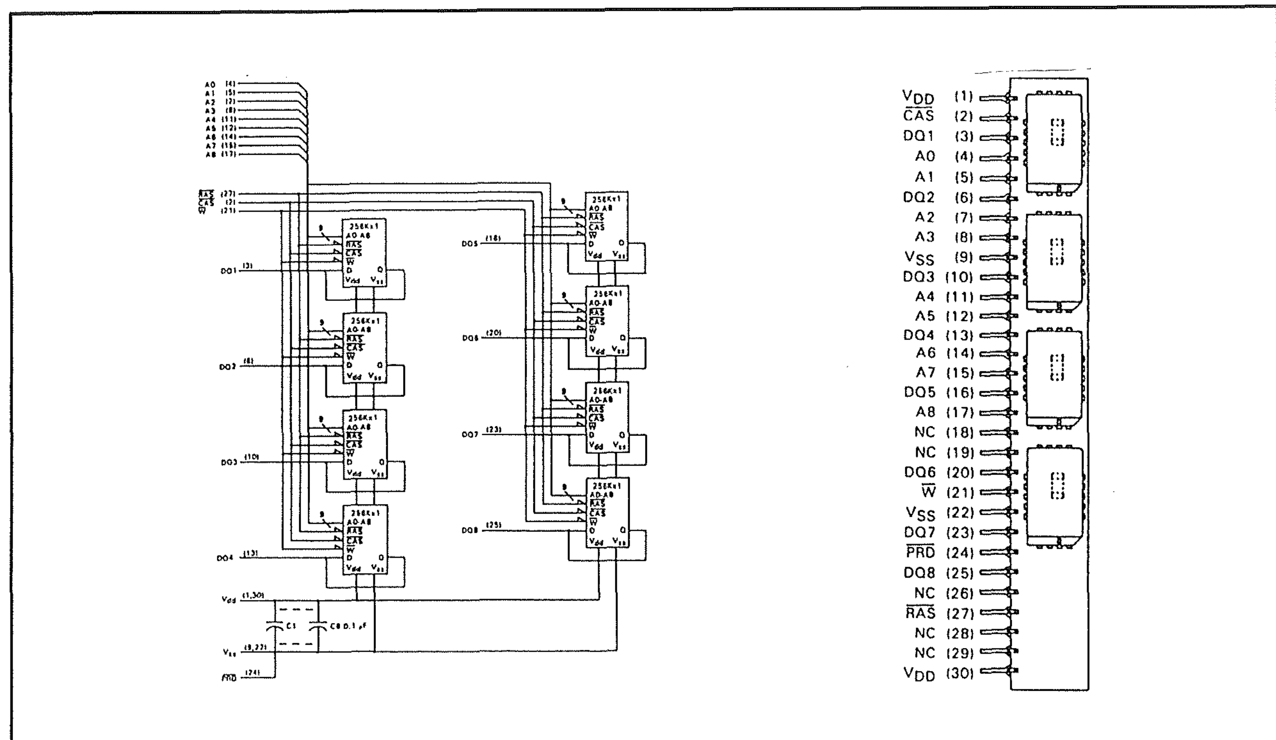


TM4256GB8 256k x 8, page-mode, 24-pin SIP

5.3 Geheugens

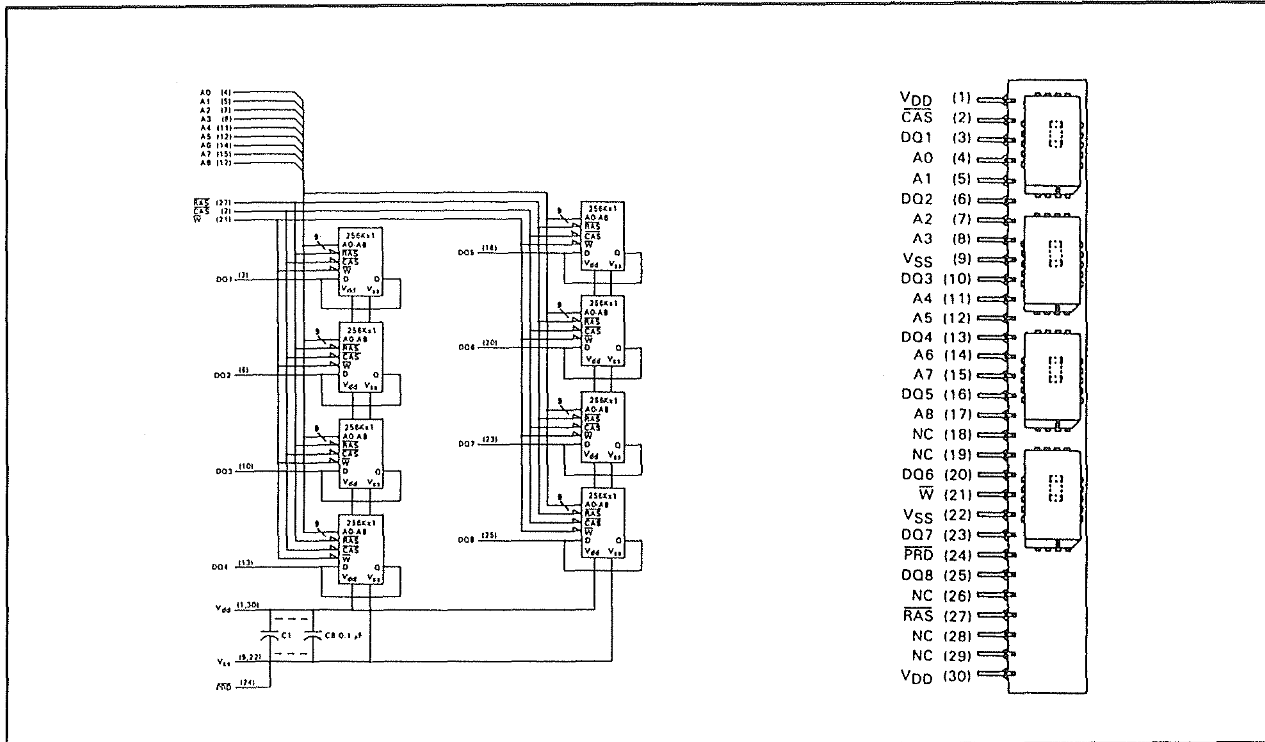


TM4257GB8 256k x 8, nibble-mode, 24-pin SIP

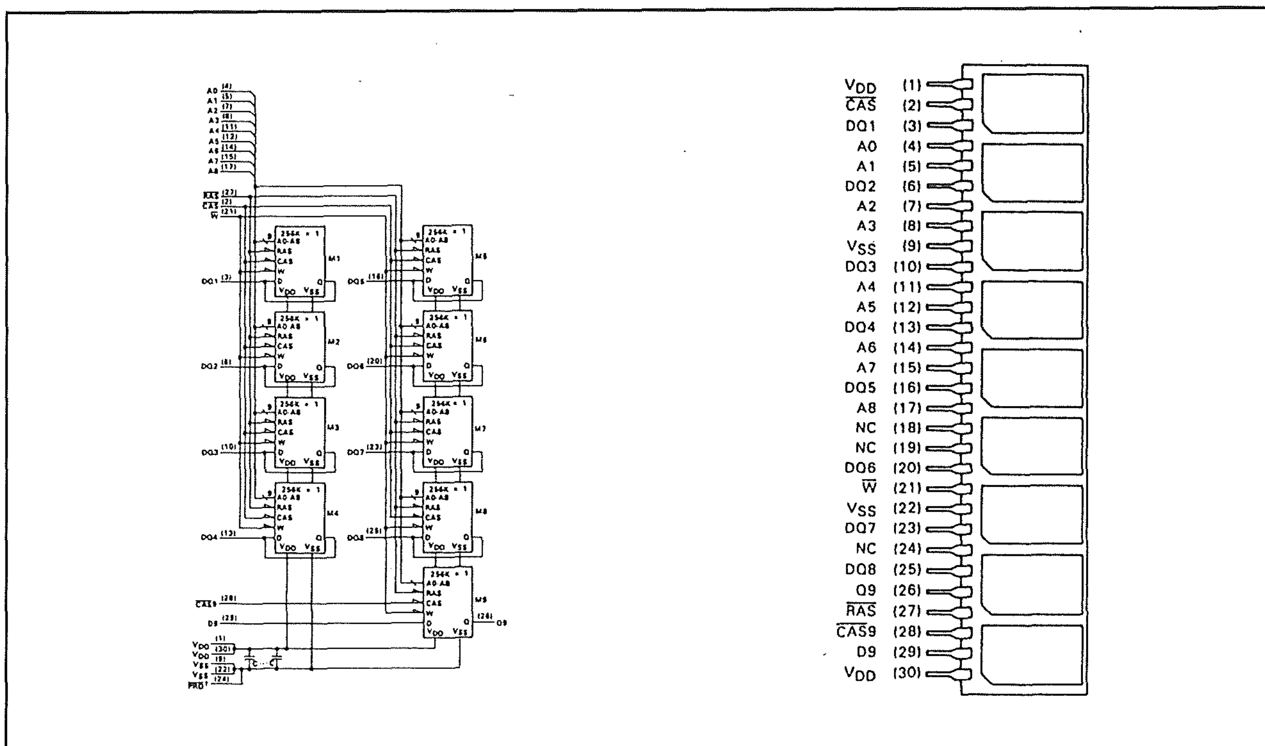


TM4256GV8 256k x 8, page-mode, 30-pin SIP

5.3 Geheugens

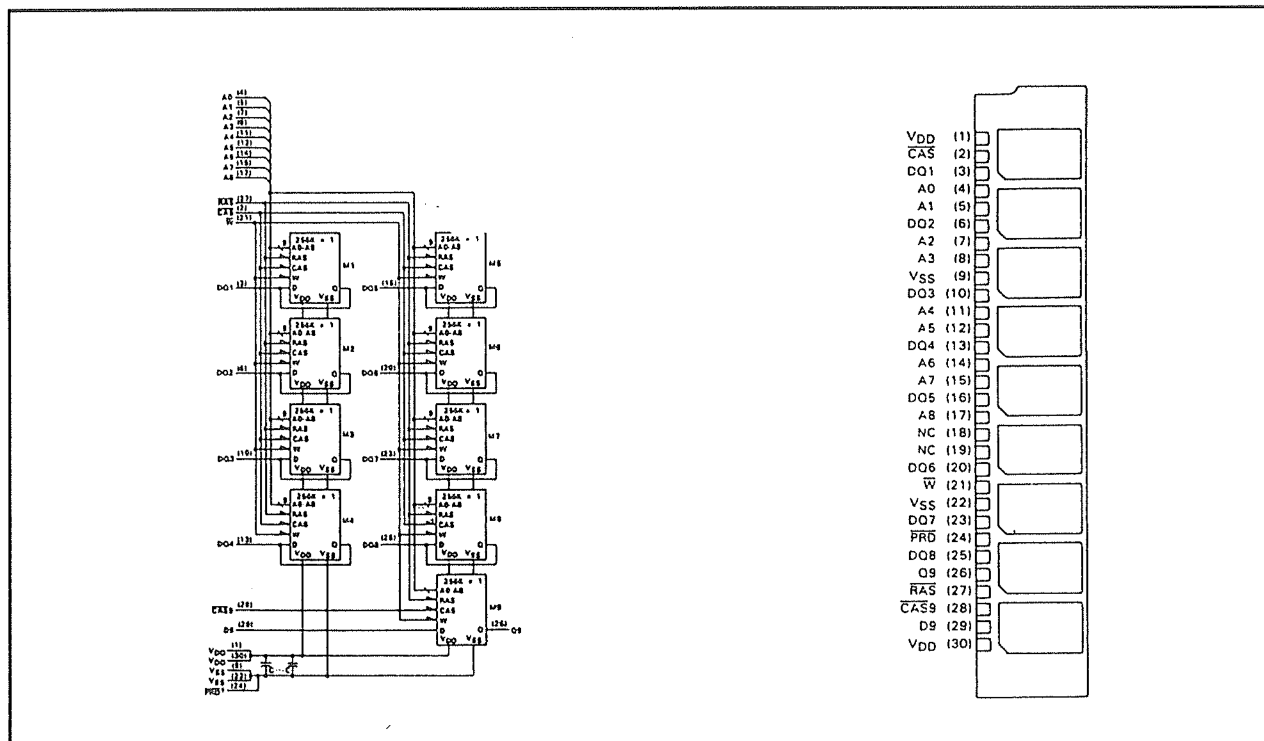


TM4257GV8 — 256k x 8, nibble-mode, 30-pin SIP

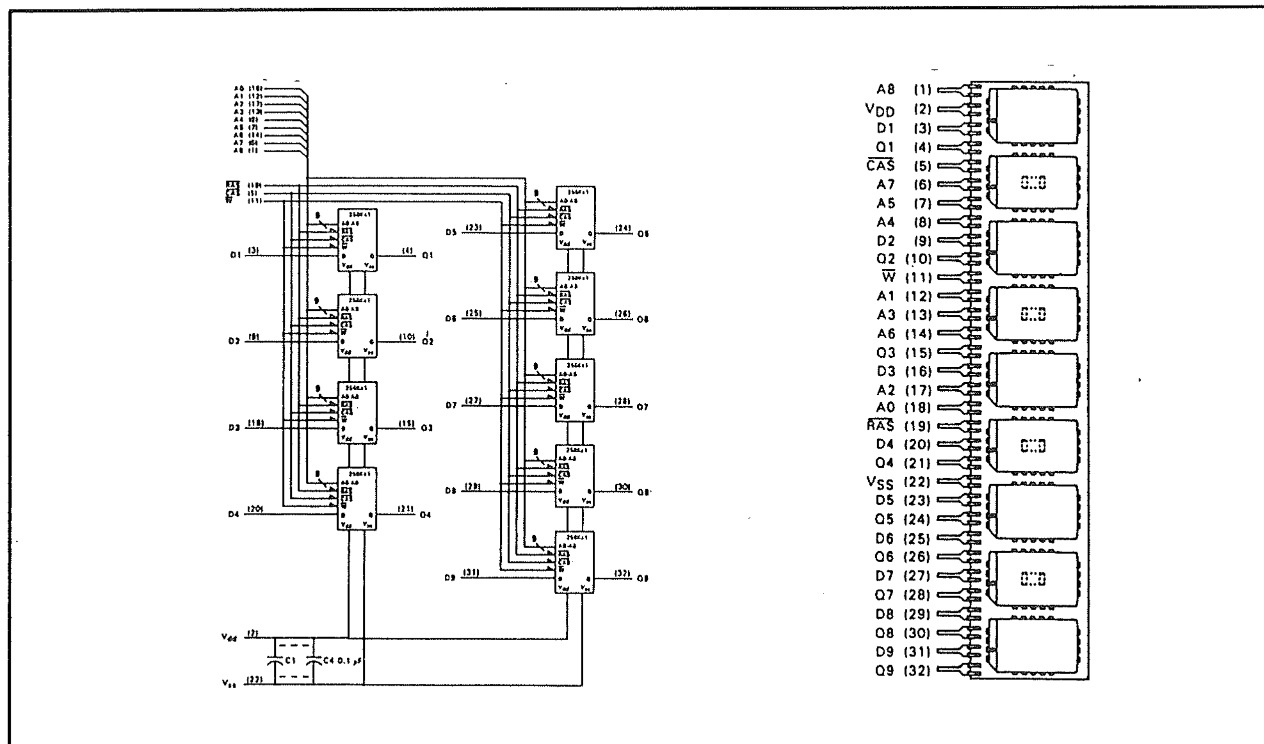


TM4256EL9 — 256k x 9, page-mode, 30-pin SIP

5.3 Geheugens

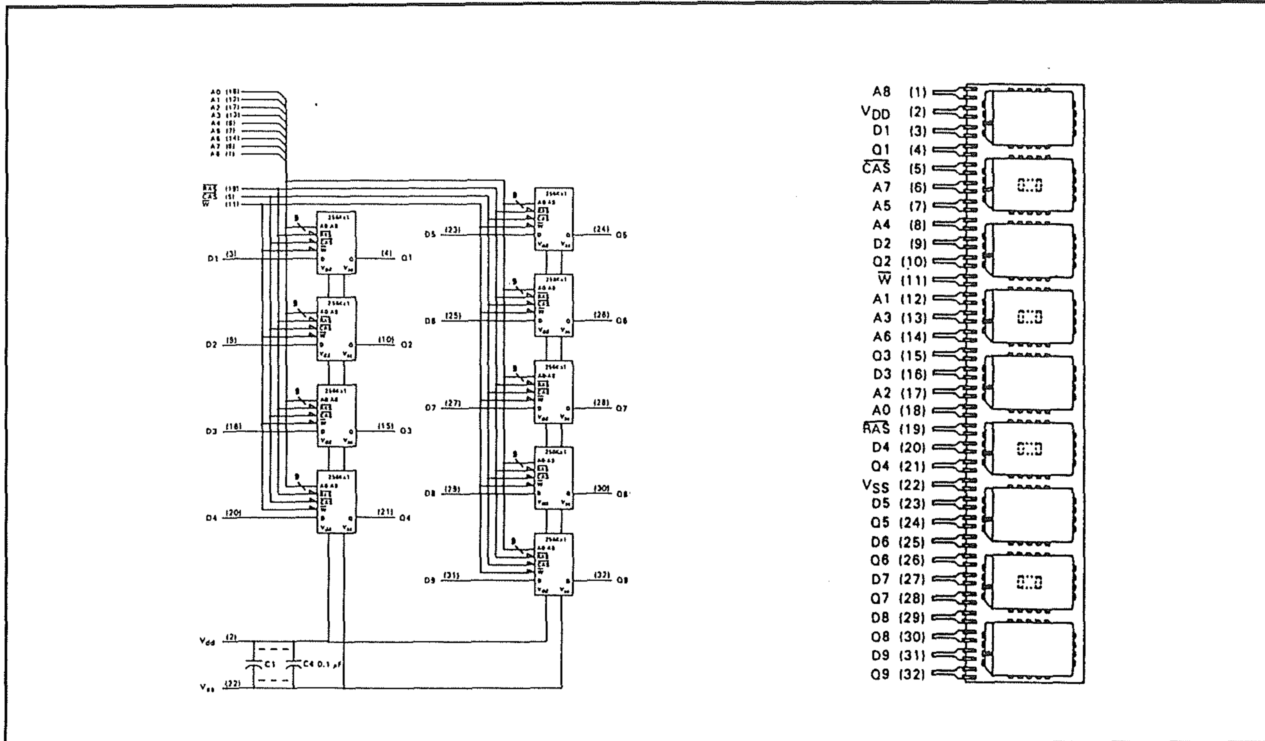


TM4256GU9 256k x 9, page-mode, 30-pin SIMM

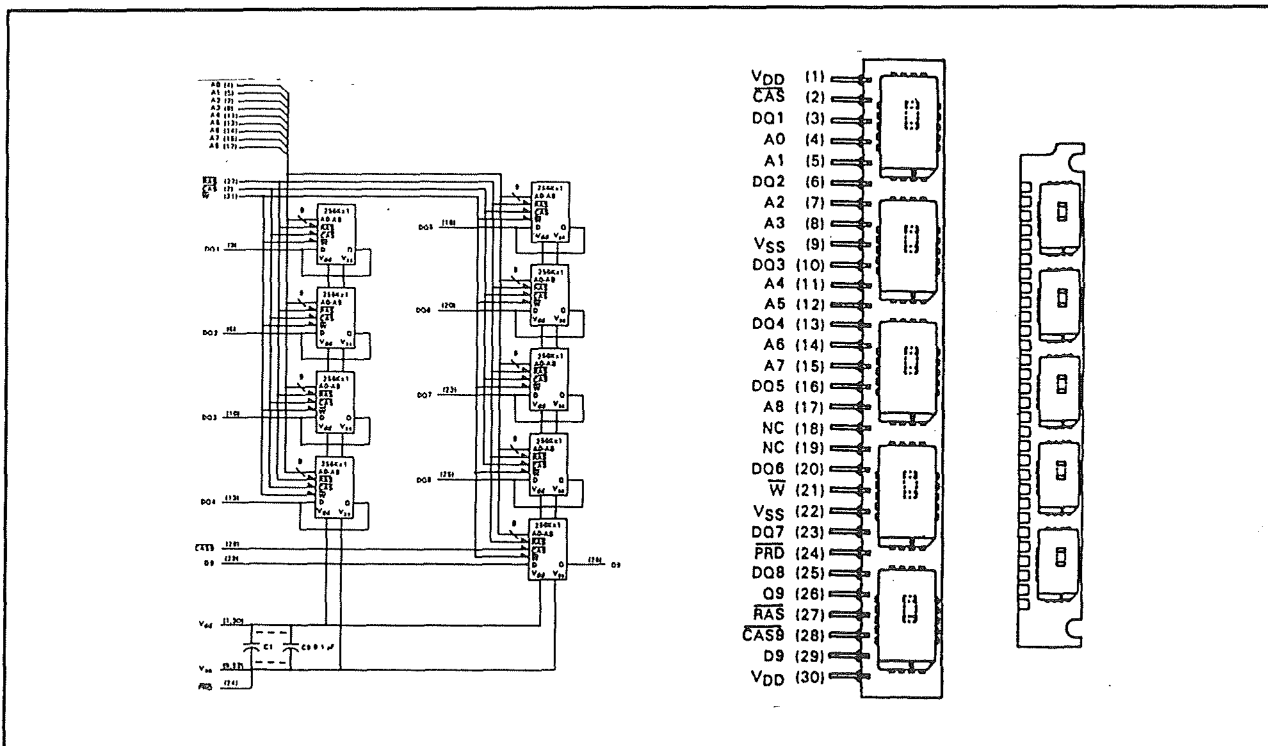


TM4256FN9 256k x 9, page-mode, 32-pin SIP

5.3 Geheugens

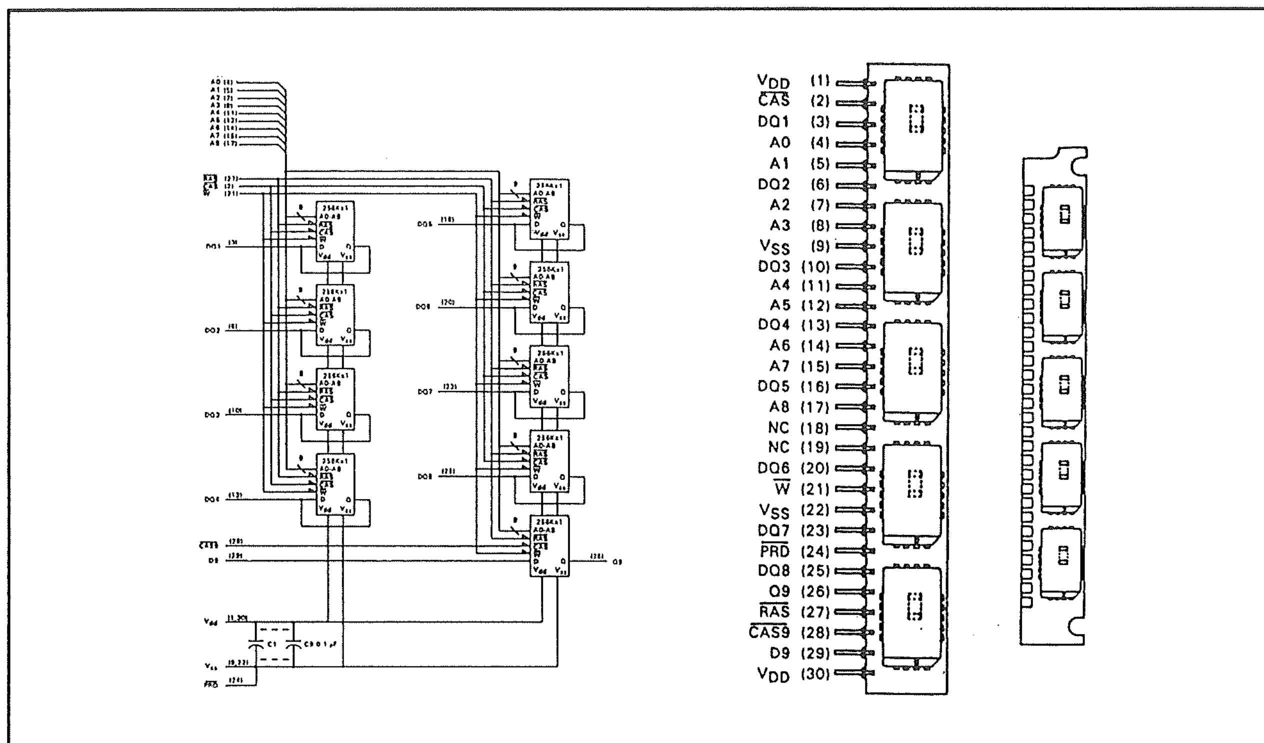


TM4257FN9 256k x 9, nibble-mode, 32-pin SIP

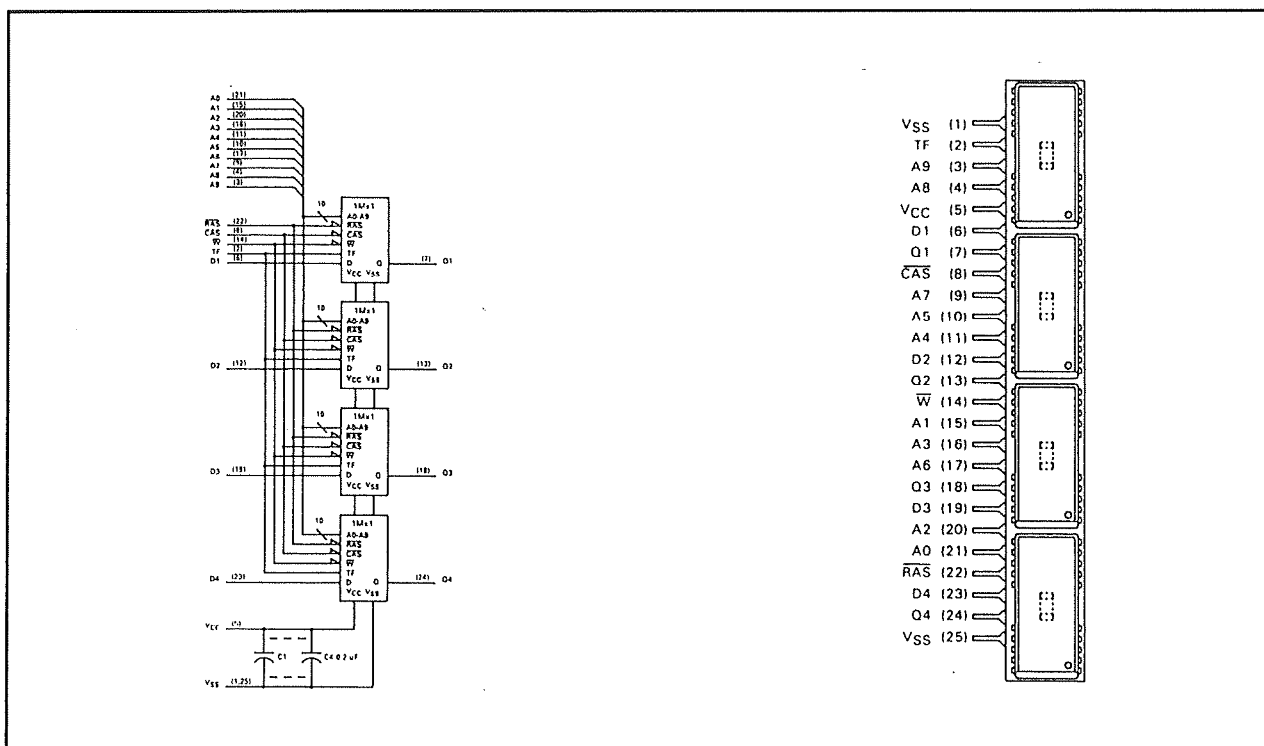


TM4256GV9, TM4256GP9 256k x 9, page-mode, 30-pin SIP en SIMM

5.3 Geheugens

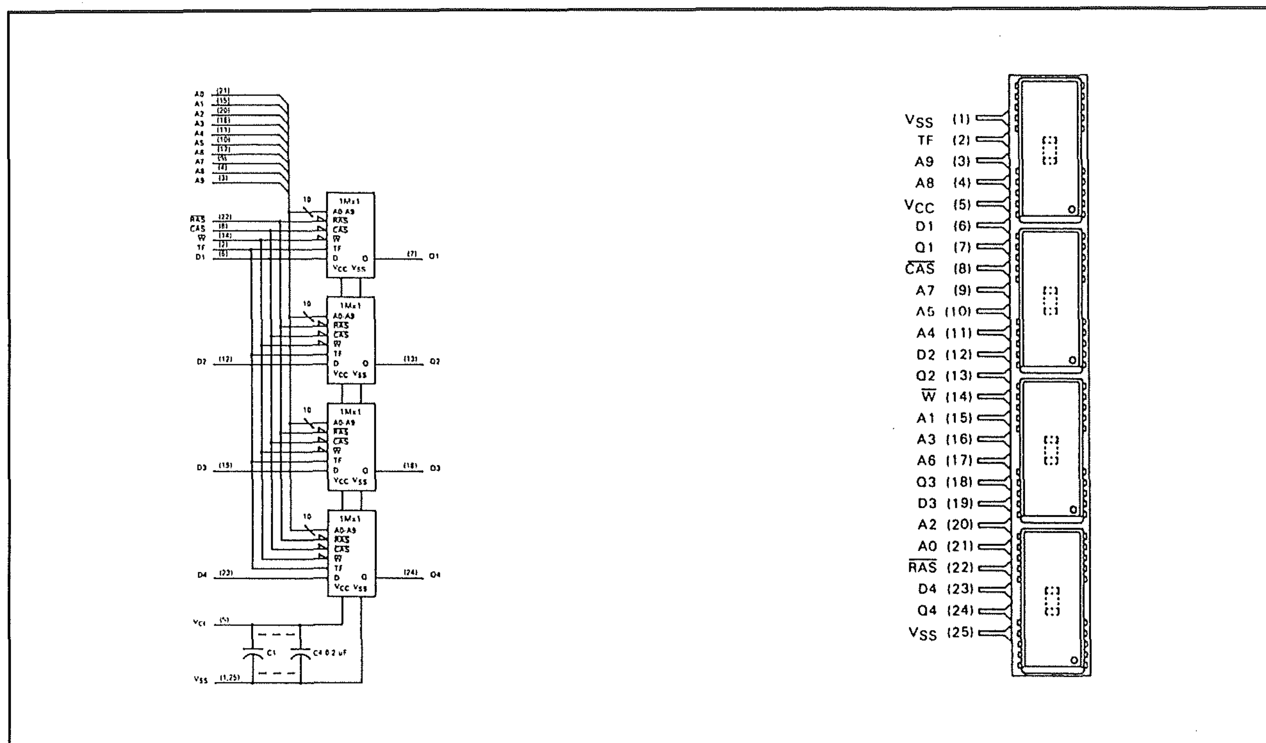


TM4257GV9, TM4257GP9 — 256k x 9, nibble-mode, 30-pin SIP en SIMM

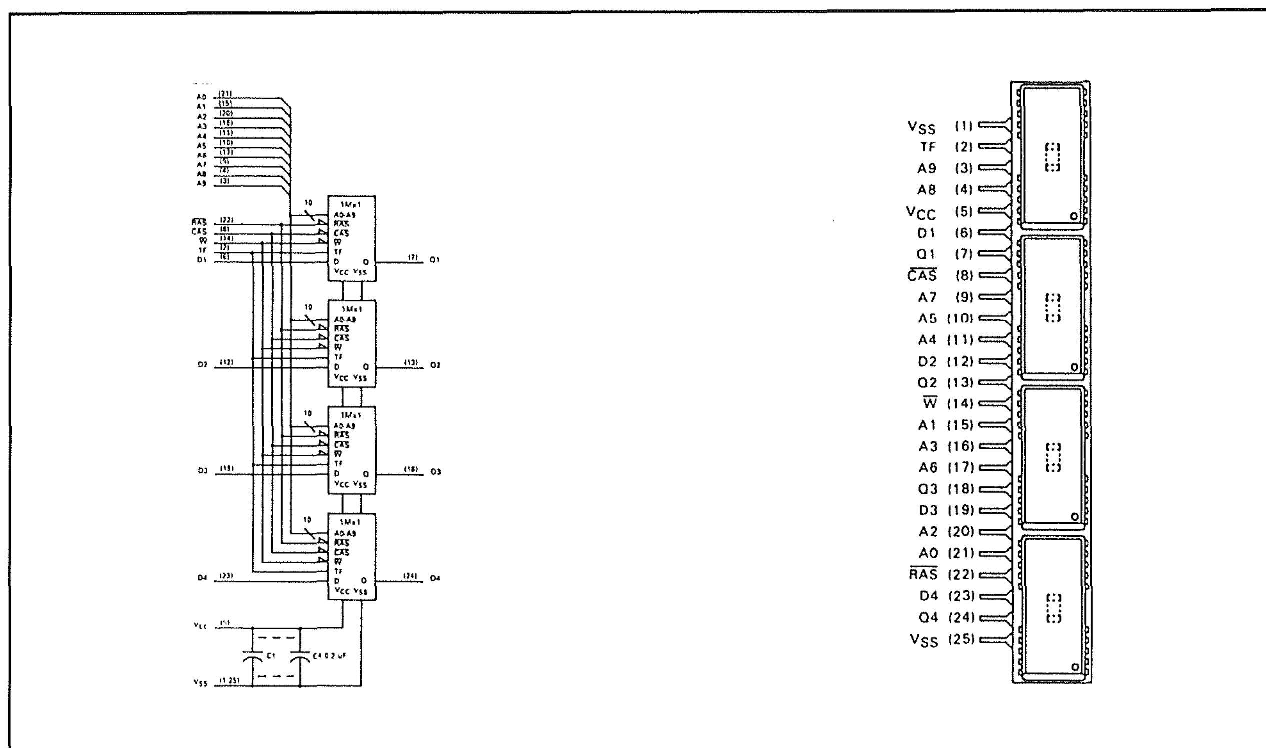


TM024EAG4 — 1M x 4, enhanced page-mode, 25-pin SIP

5.3 Geheugens

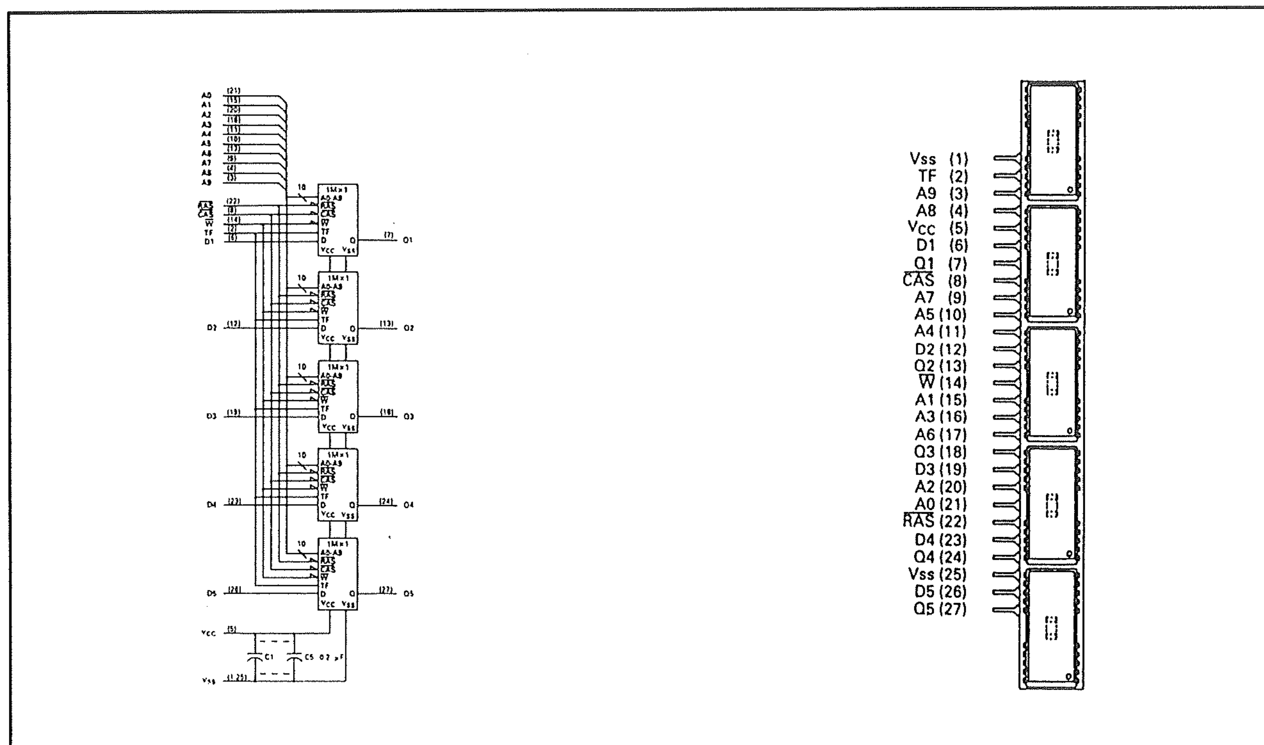


TM025EAG4 1M x 4, nibble-mode, 25-pin SIP



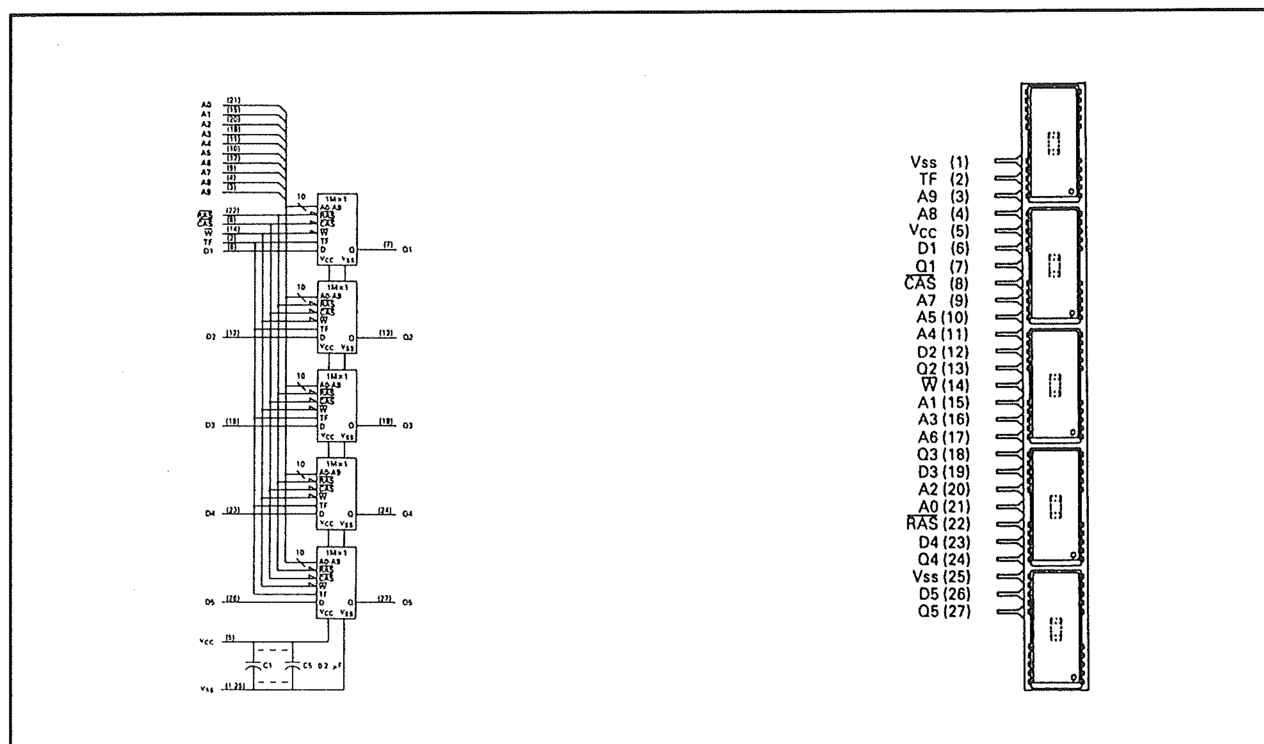
TM027EAG4 1M x 4, static column-mode, 25-pin SIP

5.3 Geheugens



TM024EAH5

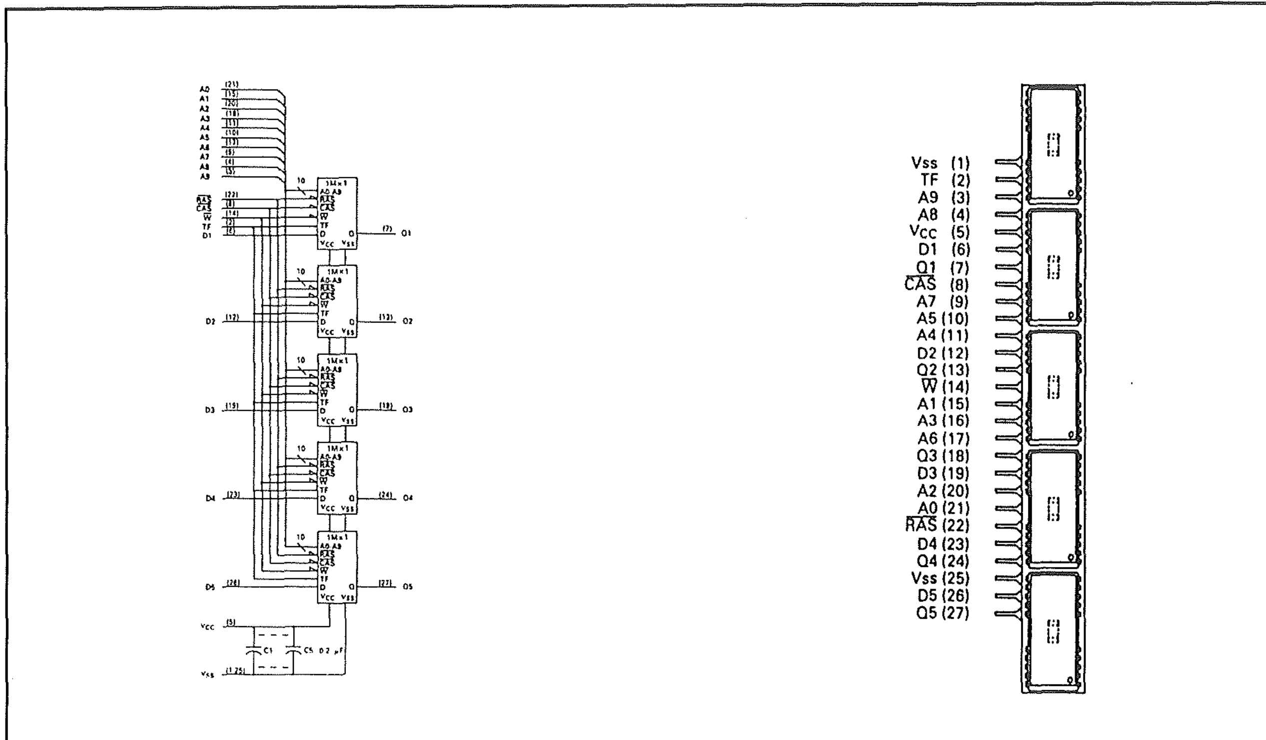
1M x 5, enhanced page-mode, 27-pin SIP



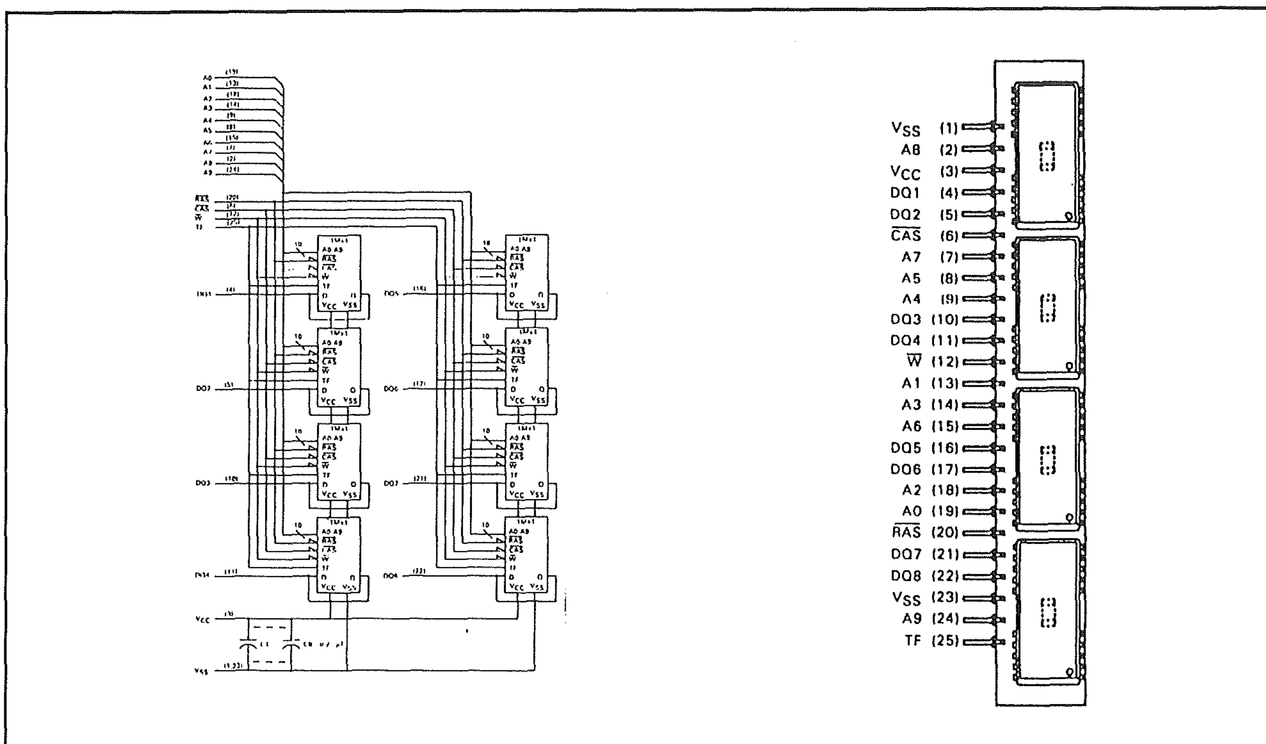
TM025EAH5

1M x 5, nibble-mode, 27-pin SIP

5.3 Geheugens

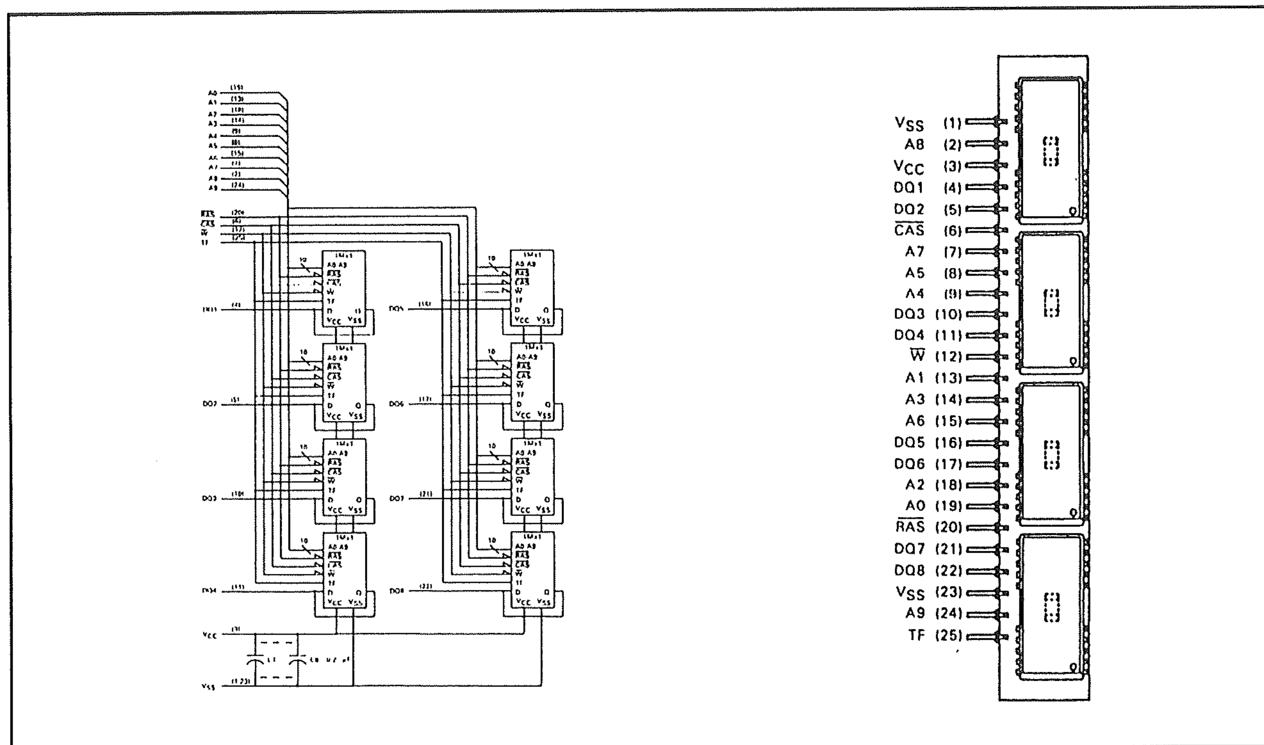


TM027EAH5 1M x 5, static column-mode, 27-pin SIP

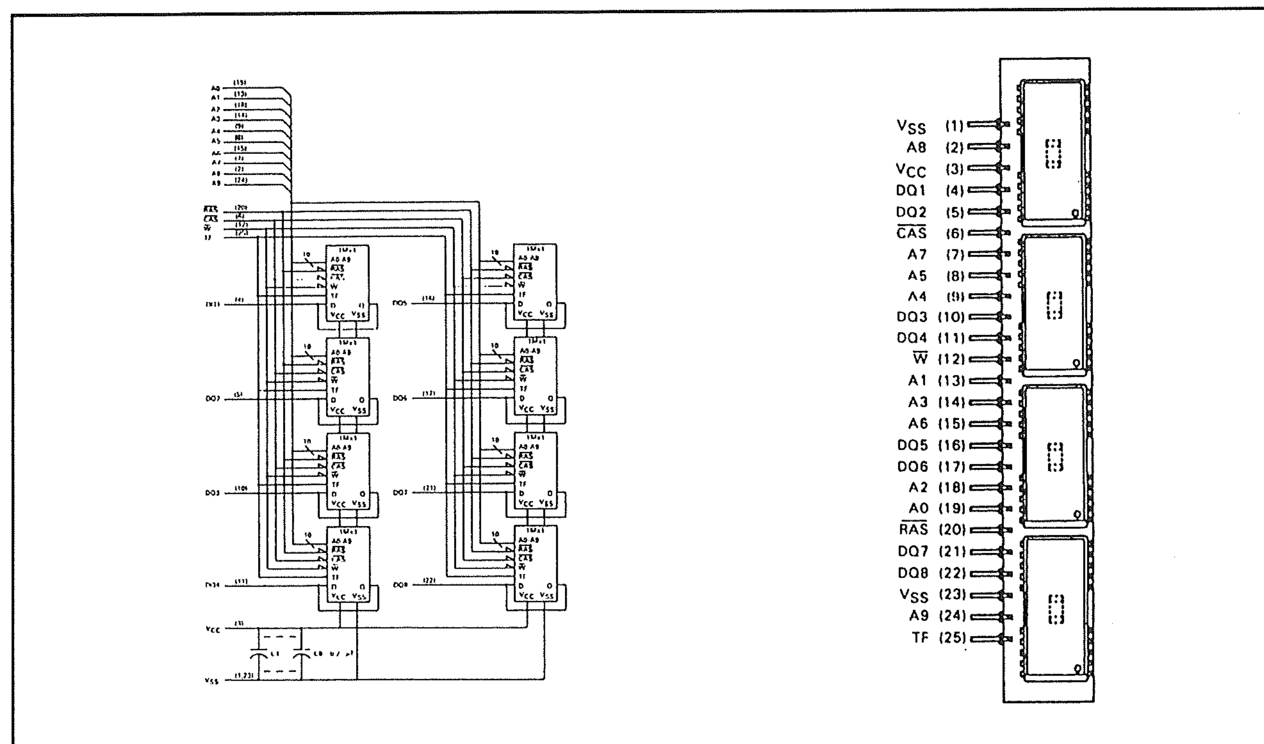


TM024EAB8 1M x 8, enhanced page-mode, 25-pin SIP

5.3 Geheugens

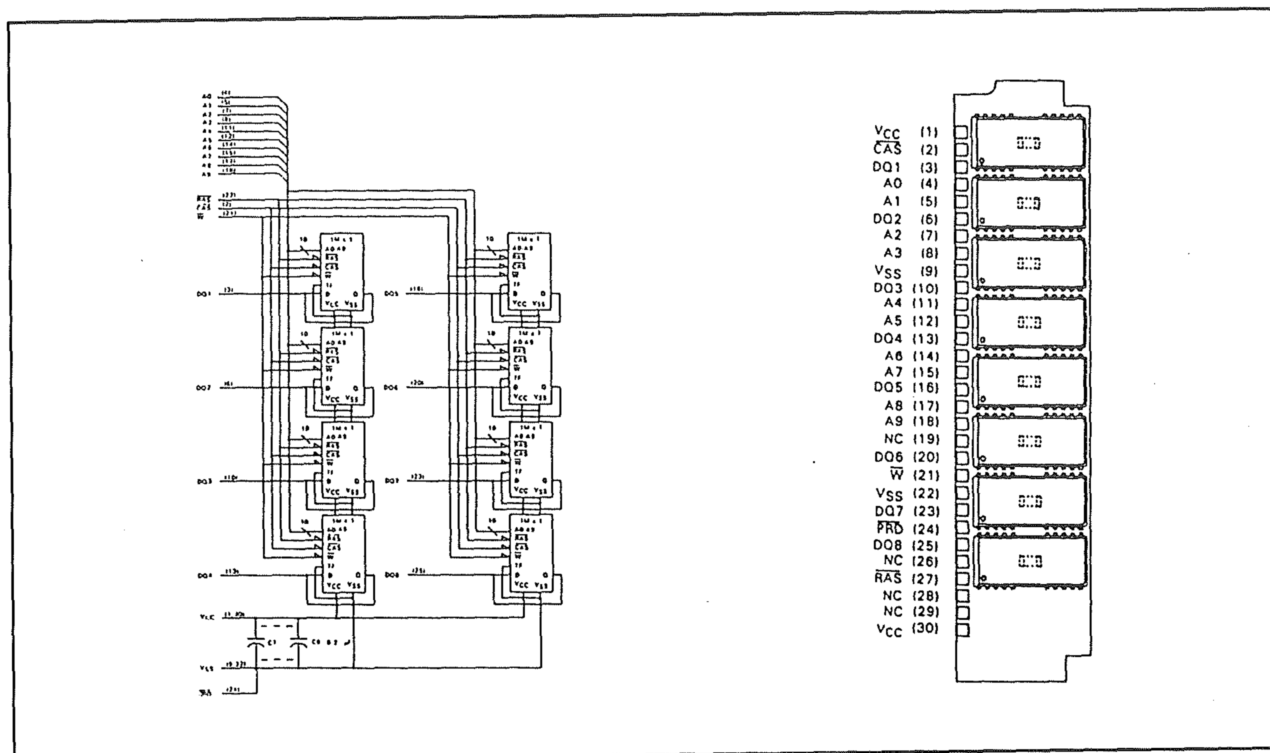


TM025EAB8 — 1M x 8, nibble-mode, 25-pin SIP

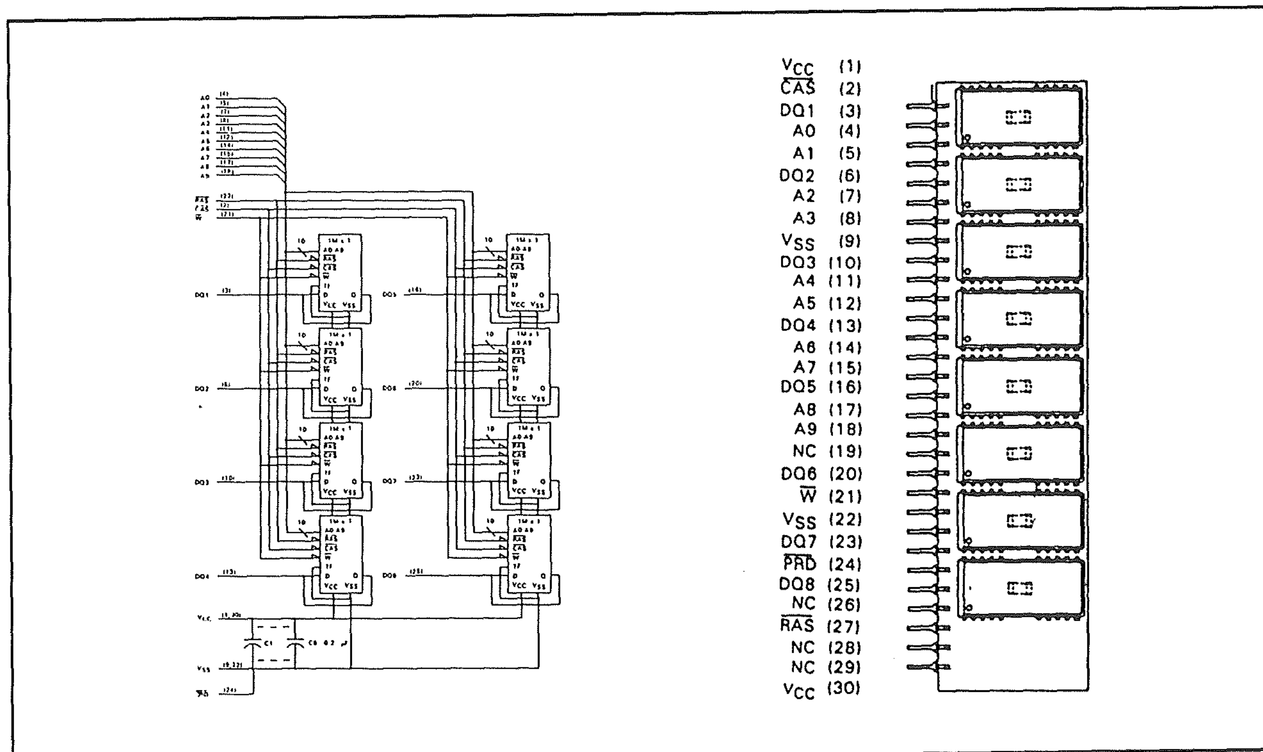


TM027EAB8 — 1M x 8, static column-mode, 25-pin SIP

5.3 Geheugens



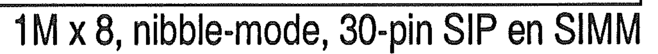
TM024EAD8 1M x 8, page-mode, 30-pin



TM024GAL8 1M x 8, page-mode, 30-pin

5.3 Geheugens

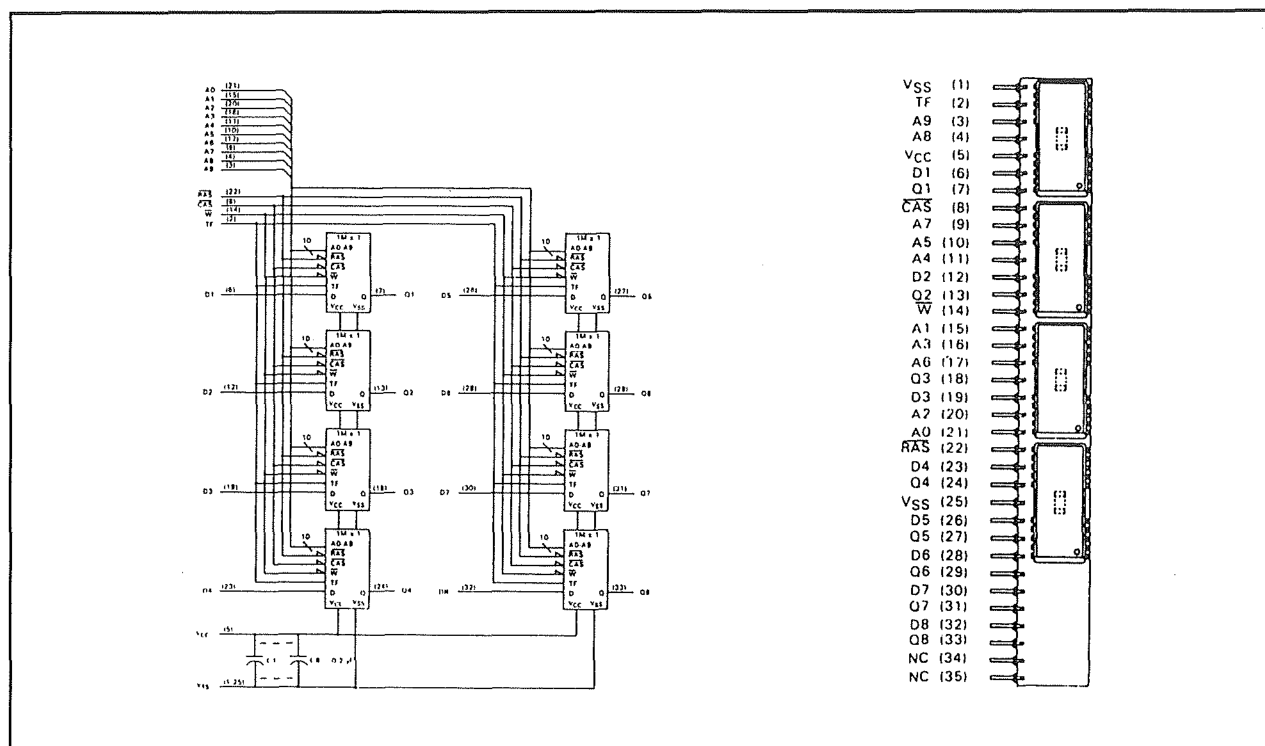
TM025EAD8, TM025GAL8


1M x 8, nibble-mode, 30-pin SIP en SIMM

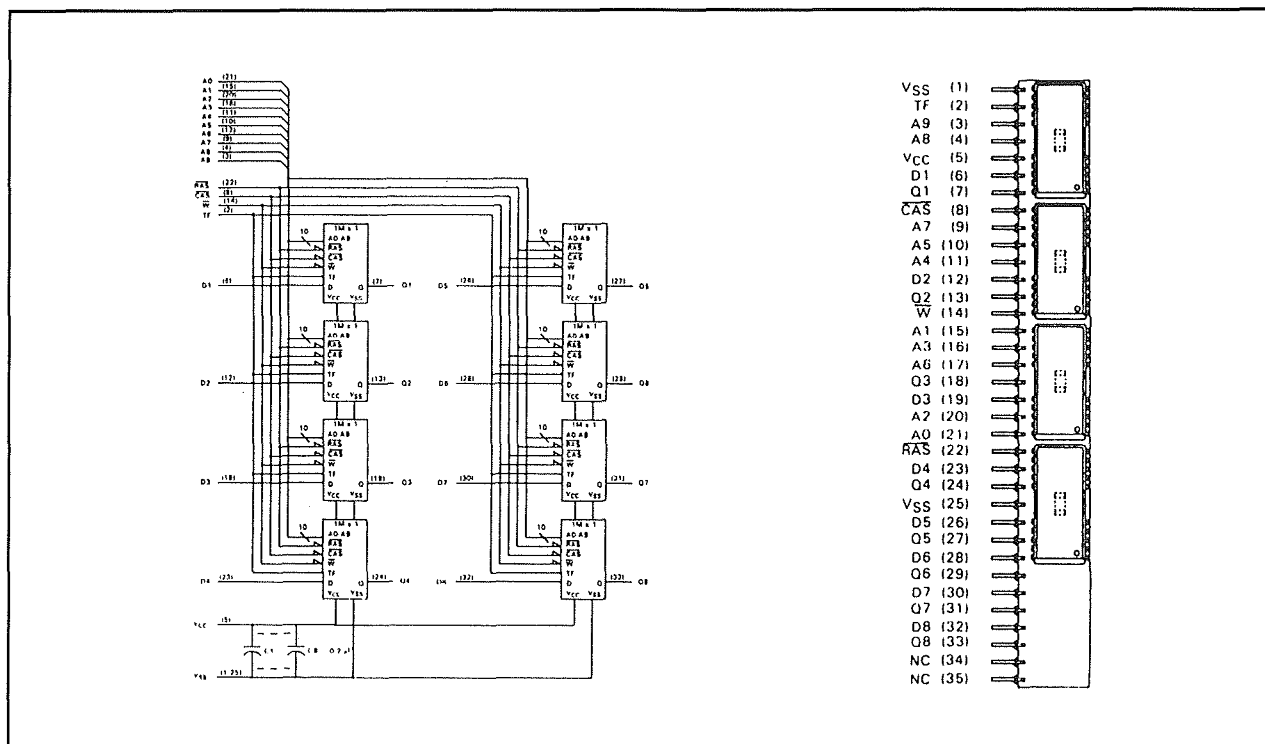
TM027EAD8, TM027GAL8


1M x 8, page-mode, 30-pin SIP en SIMM

5.3 Geheugens

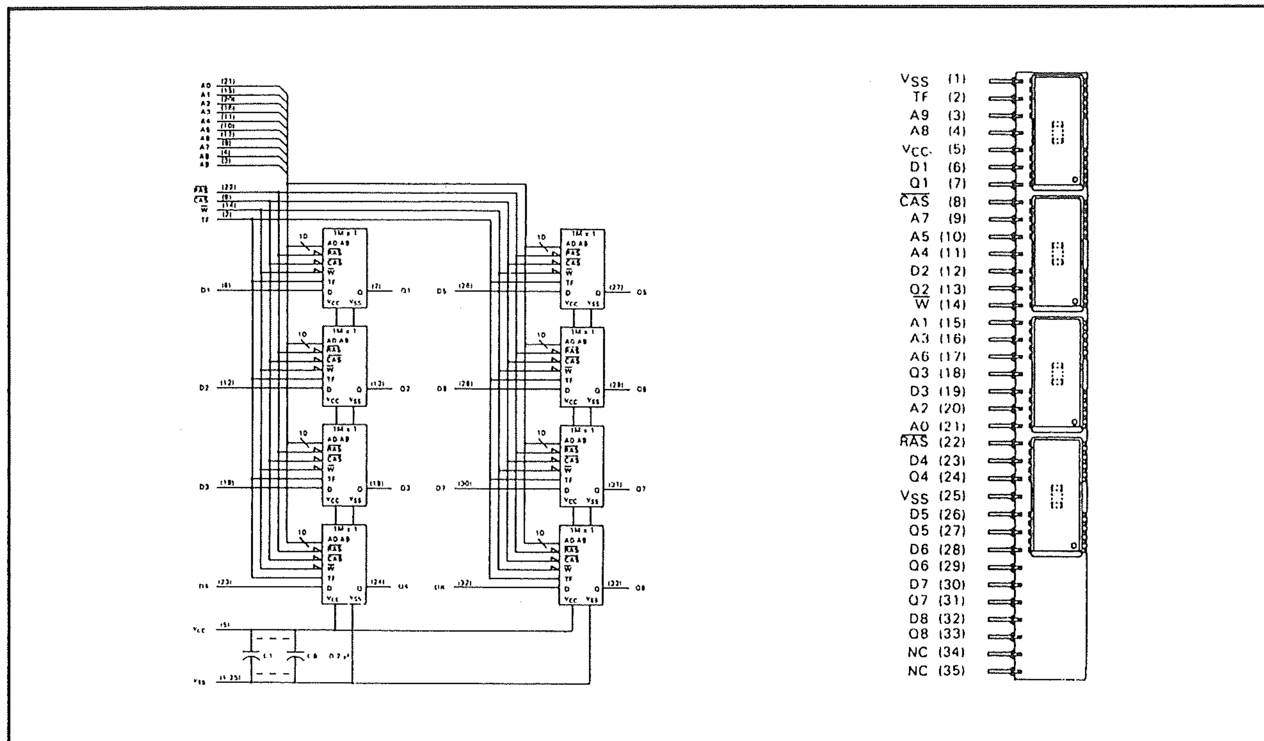


TM024FAF8 1M x 8, enhanced page-mode, 35-pin SIP

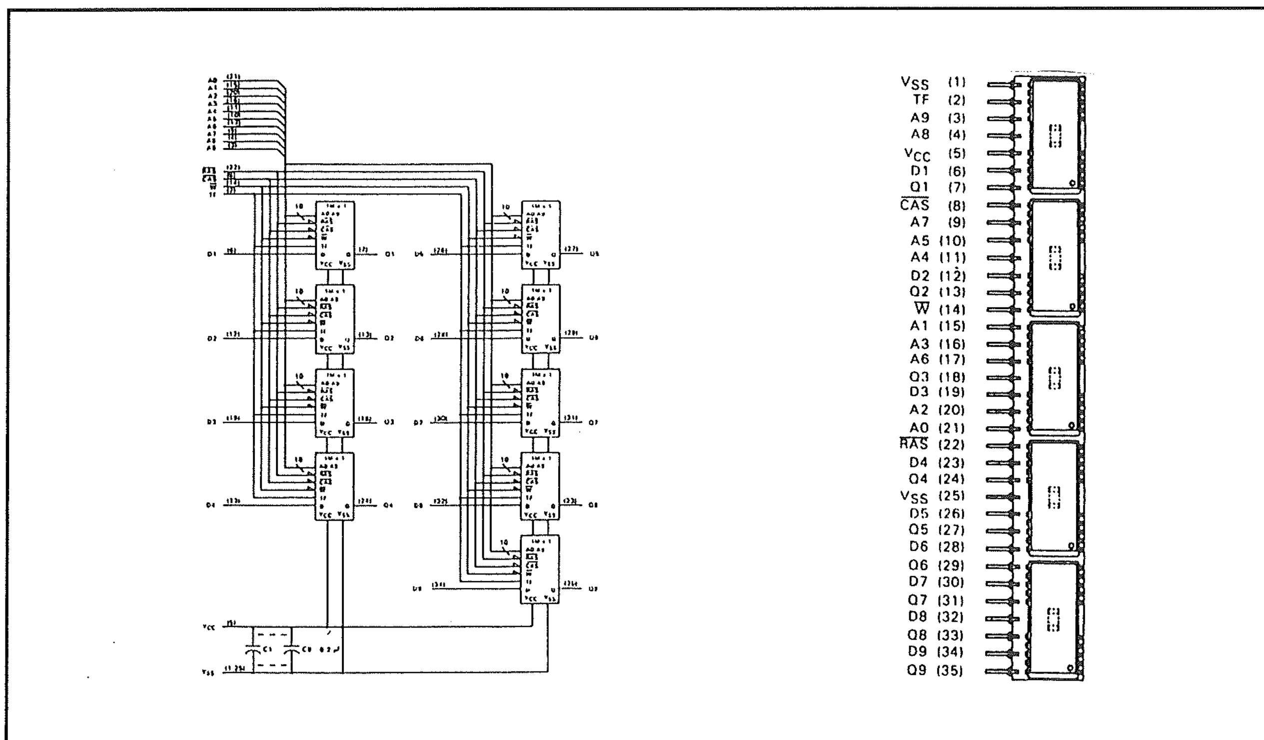


TM025FAF8 1M x 8, nibble-mode, 35-pin SIP

5.3 Geheugens

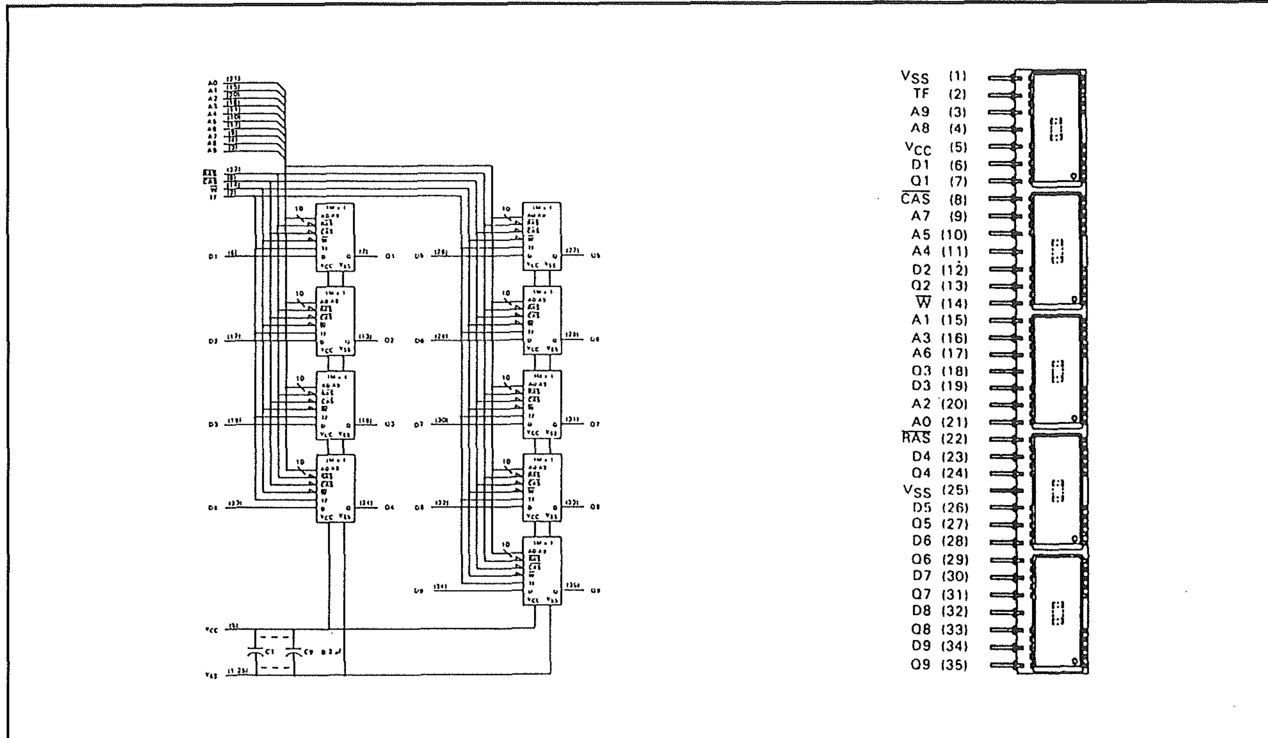


TM027FAF8 1M x 8, static column-mode, 35-pin SIP

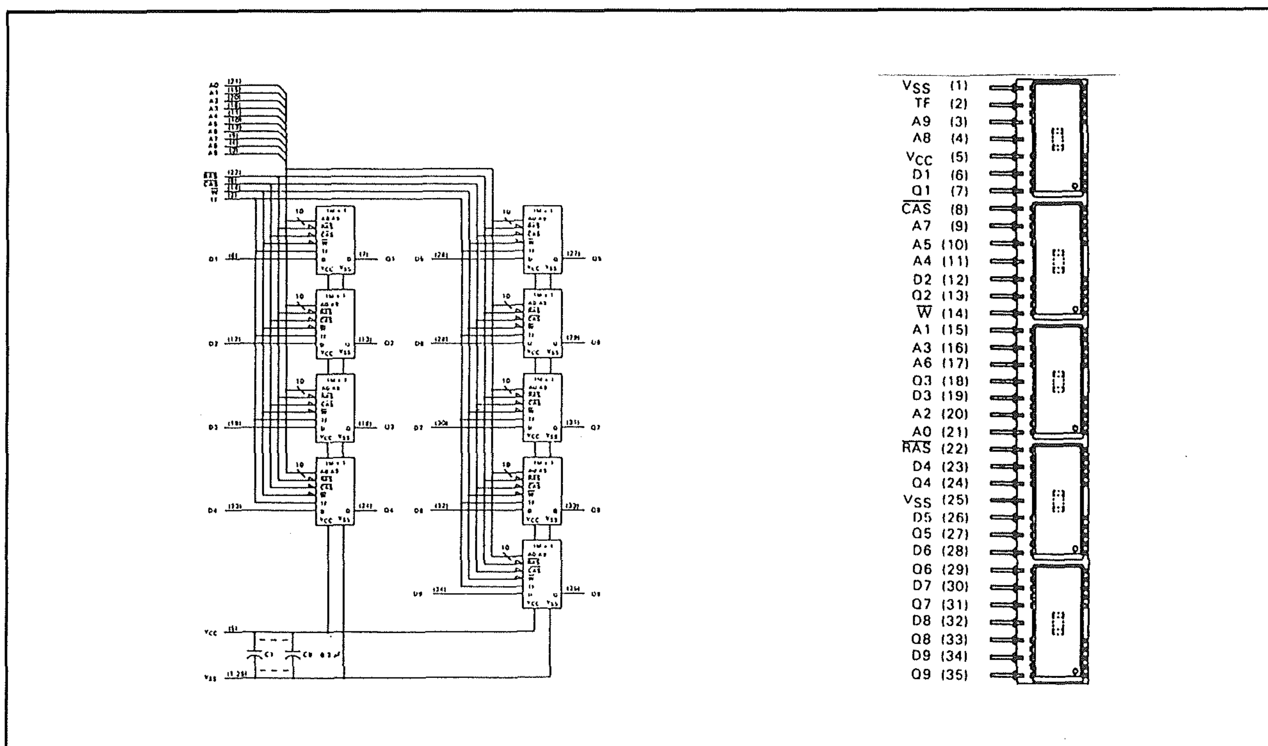


TM024EAF9 1M x 9, enhanced page-mode, 35-pin SIP

5.3 Geheugens

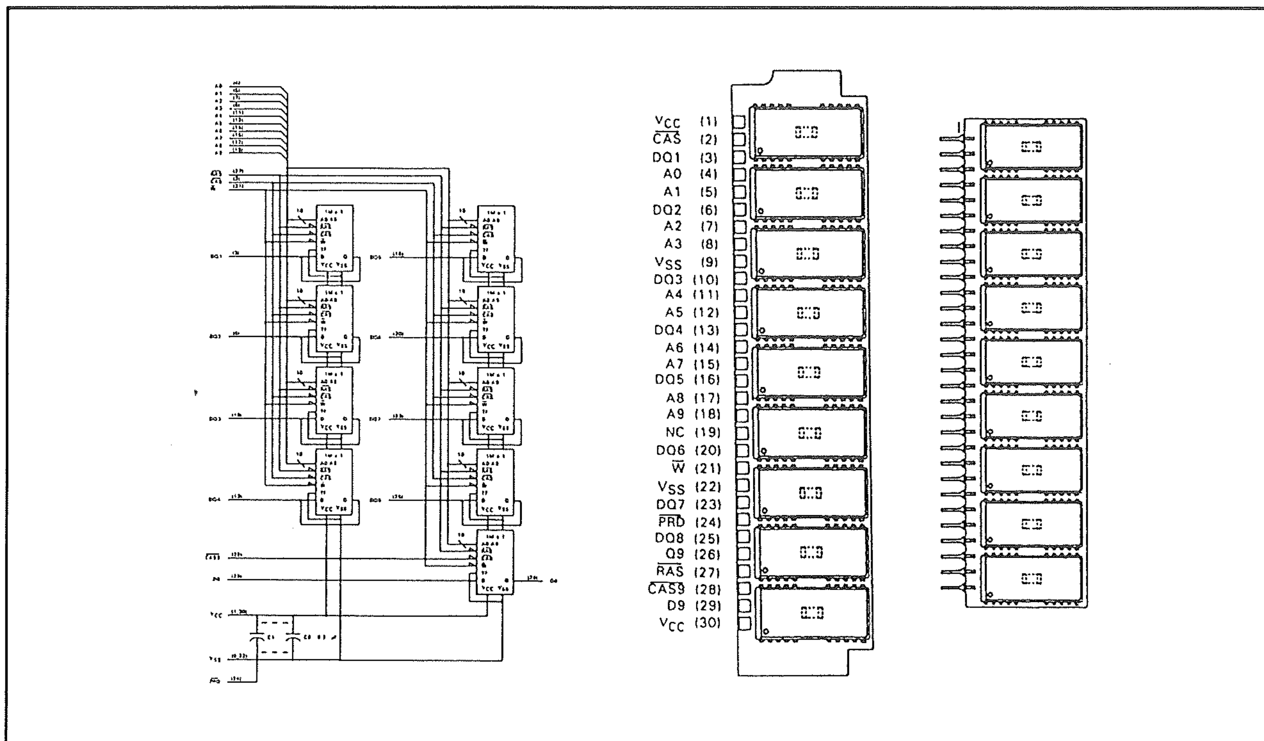


TM025EAF9 1M x 9, nibble-mode, 35-pin SIP

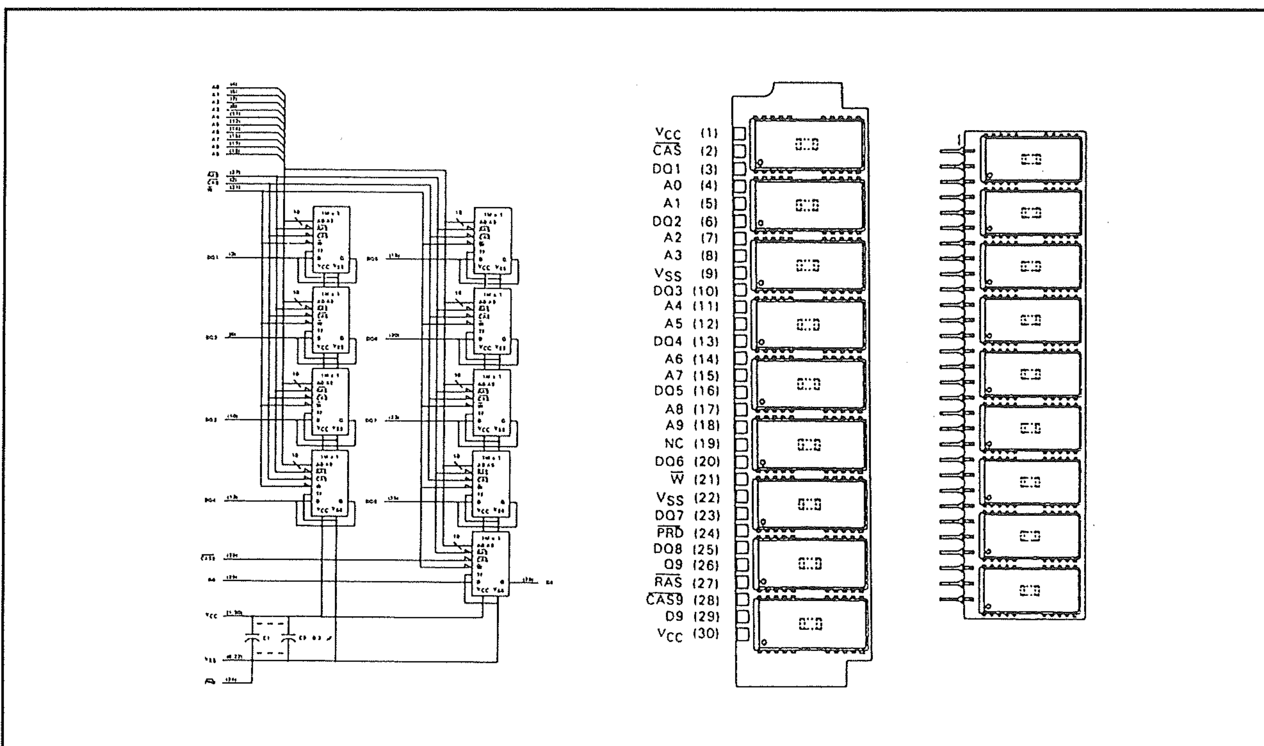


TM027EAF9 1M x 9, static column-mode, 35-pin SIP

5.3 Geheugens

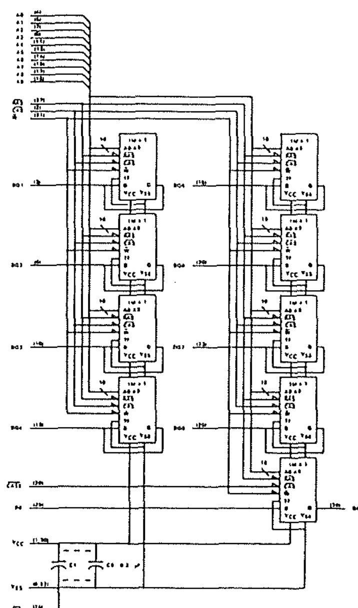


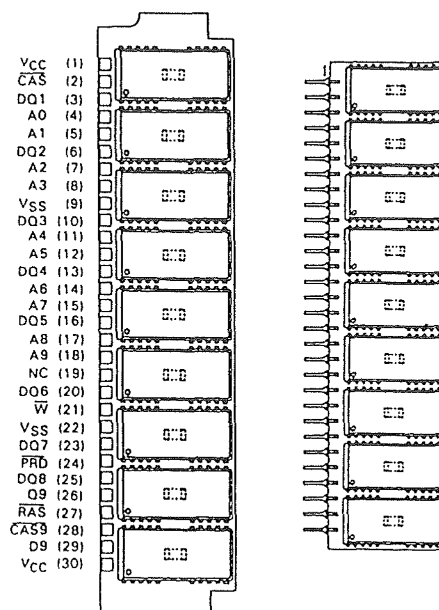
TM024EAD9, TM024GAL9 1M x 9, page-mode, 30-pin SIP en SIMM



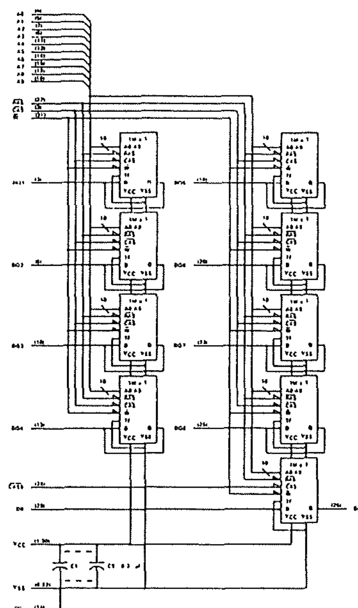
TM025EAD9, TM025GAL9 1M x 9, nibble-mode, 30-pin SIP en SIMM

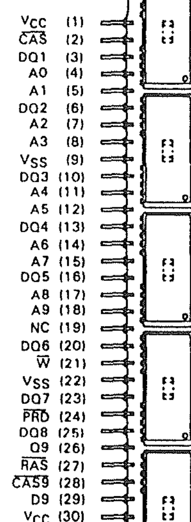
5.3 Geheugens





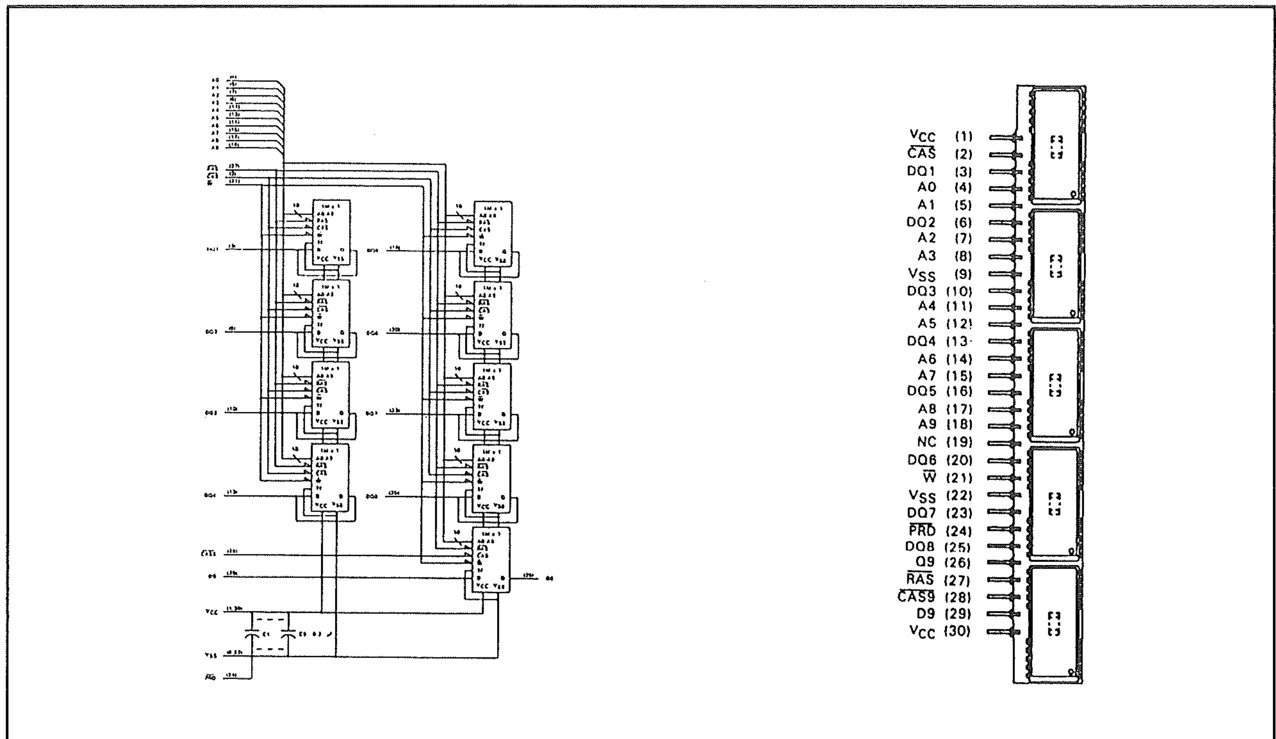
TM027EAD9, TM027GAL9 — 1M x 9, page-mode, 30-pin SIP en SIMM



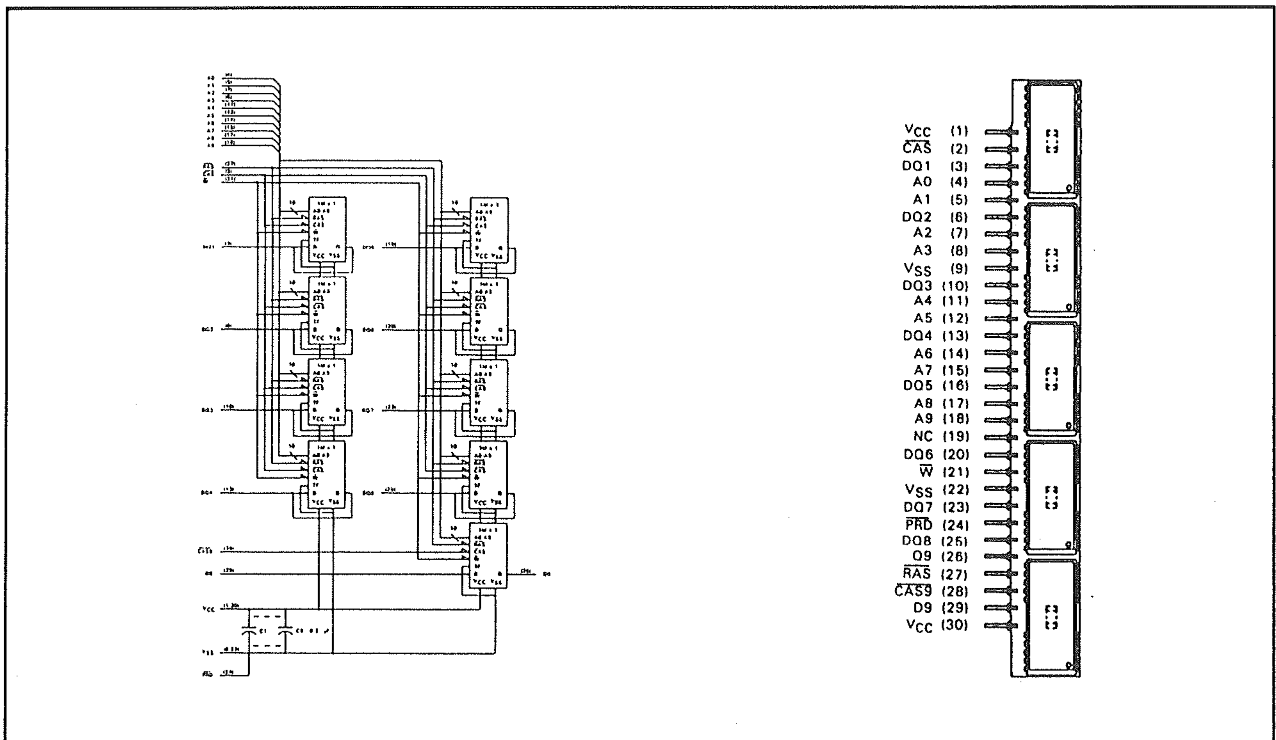


TM024GAF9 — 1M x 9, enhanced page-mode, 30-pin SIP

5.3 Geheugens



TM025GAF9 — 1M x 9, nibble-mode, 30-pin SIP



TM027GAF9 — 1M x 9, static column-mode, 30-pin SIP

5.3 Geheugens